

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-356746
(43)Date of publication of application : 26.12.2001

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09G 3/20

(21)Application number : 2001-096386
(22)Date of filing : 29.03.2001

(71)Applicant : SANYO ELECTRIC CO LTD
(72)Inventor : KITAGAWA MAKOTO
TSUTSUI YUSUKE
KOBAYASHI MITSUGI
UEHARA HISAO
FUJIOKA MAKOTO

(30)Priority

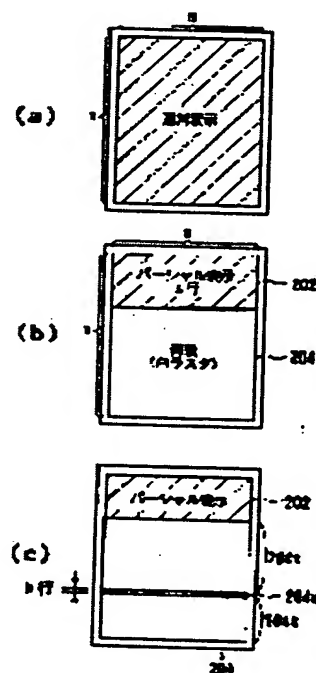
Priority number : 2000109958 Priority date : 11.04.2000 Priority country : JP

(54) METHOD AND CIRCUIT FOR DRIVING DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To perform an arbitrary partial display at an arbitrary position with out changing the constitution of a display panel.

SOLUTION: In driving a liquid crystal display device which is provided with pixels having a matrix with n rows and m columns or the like, when the command of a partial display is outputted, prescribed partial display data are written in a partial display area 202 with settable s rows and m columns in the $n \times m$ matrix by successively selecting individual rows and prescribed background data such as off-display (white display) data are written in a background area 204 other than the partial display area 202 during one frame period. The background display data are written in the area 204 by selecting only k rows and m columns during one frame period. K rows to be selected are shift-processed for every frame and the entire area of the area 204 is selected once in $(n-s)/k$ frames. The writing of the background display data are performed by inverting polarities with respect to the reference voltage of the data for every prescribed period and the pixels of the background area are invertingly driven securely with the off display data.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]

THIS PAGE BLANK (USPTO)

(18) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-356746

(P2001-356746A)

(43) 公開日 平成13年12月26日(2001.12.26)

(51) Int.Cl. ⁷	識別記号	F I	7-マシ-ト ⁷ (参考)
G 0 9 G 3/38		G 0 9 G 3/38	2 H 0 9 3
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 0 5 5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A 5 C 0 8 0
	6 2 1		6 2 1 B
	6 2 2		6 2 2 Q

審査請求 未請求 請求項の数16 O L (全 30 頁) 最終頁に続く

(21) 出願番号	特願2001-98388(P2001-98388)	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成13年3月29日(2001.3.29)	(72) 発明者	北川 誠 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(31) 優先権主張番号	特願2000-108958(P2000-108958)	(72) 発明者	筒井 雄介 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(32) 優先日	平成12年4月11日(2000.4.11)	(74) 代理人	100075258 弁理士 吉田 研二 (外2名)
(33) 優先権主張国	日本 (J P)		

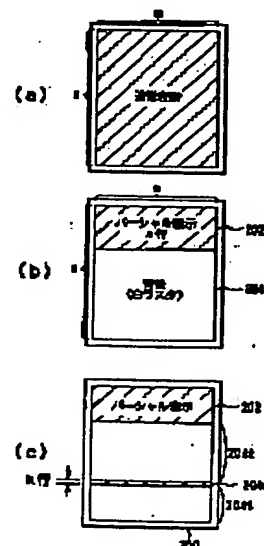
最終頁に続く

(54) 【発明の名称】 表示装置の駆動方法及び駆動回路

(57) 【要約】

【課題】 表示パネルの構成を変更することなく任意の位置に任意のパーシャル表示を可能とする。

【解決手段】 n 行 m 列マトリクス of 画素を備える液晶表示装置などの駆動に際し、パーシャル表示命令が出された場合に、1フレーム期間中に、 n 行 m 列マトリクス of の内、設定可能な s 行 m 列パーシャル表示領域202には各行を順次選択して所定のパーシャル表示データを書き込み、パーシャル表示領域202以外の背景領域204にはオフ表示(白表示)データ等の所定背景データを書き込む。背景領域204は、1フレーム期間中、 k 行 m 列のみ選択して背景表示データを書き込む。選択される k 行はフレーム毎にシフト処理し、背景領域204 of 全領域は $(n-s)/k$ フレームで1回選択する。背景表示データの書き込みは、所定期間毎に基準電圧に対する極性を反転させて行い、背景領域 of 画素を確実にオフ表示データで反転駆動する。



【特許請求の範囲】

【請求項 1】 n 行 m 列マトリクス複数の画素を備え、パースシャル表示命令に応じて、任意の s 行 m 列の画素からなるパースシャル表示領域に所望のパースシャル表示を行い、前記 n 行 m 列の残りの背景領域に背景を表示する表示装置の駆動方法であって、

パースシャル表示モード時には、

1 フレーム期間中に、

前記 s 行 m 列のパースシャル表示領域の各画素に、前記パースシャル表示データを書き込み、

かつ、前記背景領域のうちの k 行 m 列の画素に、背景表示データを書き込むことを特徴とする表示装置の駆動方法（但し、 n 、 m 、 s 及び k は全て 1 以上の整数で、 $s < n$ 、 $k < n$ とする）。

【請求項 2】 請求項 1 に記載の表示装置の駆動方法において、

前記背景領域のうちの前記 k 行 m 列の画素は、1 フレーム毎に選択行がシフトされることを特徴とする表示装置の駆動方法。

【請求項 3】 請求項 2 に記載の表示装置の駆動方法において、

前記背景領域の各画素には、合計 $(n-s)/k$ フレーム期間かけて前記背景表示データを書き込むことを特徴とする表示装置の駆動方法。

【請求項 4】 請求項 2 に記載の表示装置の駆動方法において、

前記背景領域の各画素には、合計 $(n-s)/k$ フレーム期間かけて前記背景表示データを書き込み、次の合計 $(n-s)/k$ フレーム期間には、同一行の画素に対し、背景表示データの基準電位に対する極性を反転させた背景表示データを書き込むことを特徴とする表示装置の駆動方法。

【請求項 5】 請求項 1～4 のいずれか一つに記載の表示装置の駆動方法において、

前記背景領域のうち、1 フレーム期間中に選択される k 行以外の行に対しては、行選択動作を禁止することを特徴とする表示装置の駆動方法。

【請求項 6】 請求項 1～5 のいずれか一つに記載の表示装置の駆動方法において、

前記パースシャル表示命令が出されると、

1 フレーム期間に前記 n 行 m 列の全画素を選択して通常表示する際の単位クロックとなる画素クロックよりも、周波数の低い画素クロックを単位クロックとして用いて、

前記パースシャル表示領域の全画素にパースシャル表示データを書き込み、前記背景表示領域のうちの前記 k 行 m 列の画素に背景表示データを書き込むことを特徴とする表示装置の駆動方法。

【請求項 7】 請求項 6 に記載の表示装置の駆動方法において、

前記パースシャル表示命令が出され、

前記背景領域のうち、前記 k 行 m 列の画素以外の行に対する選択期間の到来を検出すると、行選択パルスの転送速度を増大することを特徴とする表示装置の駆動方法。

【請求項 8】 請求項 1～7 のいずれか一つに記載の表示装置の駆動方法において、

前記パースシャル表示命令が出された後、前記 n 行 m 列マトリクスの全画素に背景表示データを書き込んでから、前記 s 行 m 列の画素にパースシャル表示データを順次書き込み、かつ前記 k 行 m 列の画素に背景表示データを書き込むことを特徴とする表示装置の駆動方法。

【請求項 9】 n 行 m 列マトリクスの複数の画素が、行ライン毎に選択されかつ列ラインから表示データの供給を受けて表示を行い、かつ、パースシャル表示命令が出されると、1 フレーム期間中に、前記 n 行 m 列マトリクスの内の s 行 m 列の画素を選択して所定のパースシャル表示データを順次書き込み、また、前記 n 行 m 列の残りの背景領域のうちの k 行 m 列の画素を選択して背景表示データを書き込む表示装置の駆動回路であって、

各行の選択期間に対応した行クロックを発生する行クロック生成部と、

行クロックを 1 フレーム毎にカウントする行クロックカウンタ部と、

前記パースシャル表示データを書き込むべき s 行の到来タイミングを検出するパースシャル表示行検出部と、

前記 1 フレーム期間中に背景表示データを書き込むべき k 行の到来タイミングを検出する背景表示行検出部と、前記パースシャル表示行検出部又は前記背景表示行検出部のいずれかで表示行の到来が検出されると前記 n 行 m 列マトリクスを行毎に駆動する行ドライバでの行駆動動作を許可するドライバ制御信号を発生するドライバ制御信号発生部と、を備えることを特徴とする表示装置の駆動回路（但し、 n 、 m 、 s 及び k は全て 1 以上の整数で、 $s < n$ 、 $k < n$ を満たす）。

【請求項 10】 請求項 9 に記載の表示装置の駆動回路において、

更にフレーム数をカウントするフレームカウンタ部を備え、

前記背景表示行検出部は、前記フレームカウンタ部でのカウント値に基づいて、前記背景表示データを書き込むべき行をシフトさせることを特徴とする表示装置の駆動回路。

【請求項 11】 請求項 9 又は請求項 10 に記載の表示装置の駆動回路において、

さらに表示データの所定基準電圧に対する極性を単位期間毎に反転させるための極性反転信号生成部を備え、

前記背景領域の各画素は、合計 $(n-s)/k$ フレーム期間よりなる 1 背景表示期間かけて、それぞれが 1 回選択され、

次の 1 背景期間の到来を前記極性反転信号生成部が検出

し前記背景表示データの極性を反転することを持徴とする表示装置の駆動回路。

【請求項12】 請求項9～11のいずれか一つに記載の表示装置の駆動回路において、

さらに、1フレーム期間に前記 n 行 m 列の全画素を選択して通常表示する際の単位クロックを分周する分周回路を有し、

前記パージアル表示命令が出されると、前記分周回路からの分周画素クロックを単位クロックとして用い、1フレーム期間中に前記 s 行 m 列の画素への前記パージアル表示データの書き込み制御、及び、前記 k 行 m 列の画素への前記背景表示データの書き込み制御を行うことを持徴とする表示装置の駆動回路。

【請求項13】 請求項12に記載の表示装置の駆動回路において、

前記パージアル表示行検出部及び前記背景表示行検出部での表示行検出信号に基づいて、

前記背景領域のうち、前記 k 行 m 列の画素以外の行に対する選択期間の到来を検出して、前記行クロックの周波数を増大する行クロック制御部を備えることを持徴とする表示装置の駆動回路。

【請求項14】 請求項9～13のいずれか一つに記載の表示装置の駆動回路において、

さらに、通常表示モードからパージアル表示モードへの移行の命令が出されると、

該命令の次の1フレームは前記 n 行 m 列マトリクスの全画素への表示データを背景表示データに変更し、

その次のフレームから、前記ドライバ制御信号発生部での前記ドライバ制御信号の発生をスタートさせるモード切替タイミング制御部を有することを持徴とする表示装置の駆動回路。

【請求項15】 請求項1～14のいずれか一つに記載の表示装置の駆動方法又は駆動回路において、

前記背景表示データは、オフ表示データ又は任意の背景色データであることを持徴とする表示装置の駆動方法又は駆動回路。

【請求項16】 請求項1～15のいずれか一つに記載の表示装置の駆動方法又は駆動回路において、

該表示装置は、液晶表示装置であることを持徴とする表示装置の駆動方法又は駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、液晶表示装置等の平面表示装置の駆動方法及び駆動回路に関し、特にそのパージアル表示に関する。

【0002】

【従来の技術】 液晶表示装置や有機EL表示装置等に代表される平面表示装置は、薄型で軽量かつ低消費電力であることから、携帯電話などの携帯機器の表示装置として優れており、多くの携帯機器に用いられている。

【0003】 この表示装置は、マトリクス状に配置された複数の画素によって任意パターンを表示可能なマトリクス型表示装置、時計等の固定パターンを表示するセグメント型表示装置、さらにこのマトリクス型とセグメント型が同一表示パネル内に内蔵された表示装置などが知られている。

【0004】 ところで、携帯機器では、消費電力の一面の低減が求められており、表示装置においても更なる低消費電力化が要求されている。そこで、パワーセーブ時には、画面の内、必要最小限な部分だけを表示させるというパージアル表示が可能な表示装置が従来より知られている。このようなパージアル表示は、例えば、液晶表示装置の表示領域の一部に電池残量、時刻表示などのための固定パターン表示領域を設け、他の領域はマトリクス状に複数の画素を配置して任意のパターンを表示する領域より構成し、パワーセーブ時に固定パターン表示領域のみ駆動して固定パターンを表示させることなどで実現することができる。

【0005】

【発明が解決しようとする課題】 上述のように、同一表示パネル上に、それぞれ別個に駆動可能な複数の領域を設け、駆動も別々に制御する構成とすれば、要求に応じて一部の領域のみ表示することができる。しかし、パワーセーブ時においても、任意の位置に表示することや任意のパターンを表示したいという要求があり、予め分割された表示領域を個別に制御する表示装置ではこの要求に対応することはできない。

【0006】 また、表示装置が搭載される機種によって、パワーセーブ時の表示内容、表示位置の要求が違いため、表示パネルの構造、駆動回路を要求に応じてそれぞれ専用開発しなければならない。

【0007】 マトリクス型の表示装置であれば、任意の位置に任意の表示を表示することが可能であるが、パージアル表示で、一部のみしかパターンが表示されない場合でも、他の領域も通常通りの駆動が必要なため、これではパージアル表示による消費電力の低減効果が低い。

【0008】 上記課題を解決するために、この発明は、任意位置に任意のパターンをパージアル表示できると共に、必要に応じてその際の消費電力を低減することのできる表示装置を提供することを目的とする。

【0009】

【課題を解決するための手段】 上記目的を達成するためにこの発明は、以下のような特徴を有する。

【0010】 まず、 n 行 m 列マトリクスの複数の画素を備え、パージアル表示命令に応じて、任意の s 行 m 列の画素からなるパージアル表示領域には所望のパージアル表示を行い、前記 n 行 m 列の残りの背景領域には背景を表示する表示装置の駆動方法であって、パージアル表示モード時には、1フレーム期間中に、前記 s 行 m 列のパージアル表示領域の各画素に、前記パージアル表示デ

タを書き込み、かつ、前記背景領域のうちの k 行 m 列の画素にのみ、背景表示データを書き込むことを特徴とする。但し、 n 、 m 、 s 及び k は全て1以上の整数で、 $s < n$ 、 $k < n$ である。

【0011】本発明の他の特徴は、上記駆動方法において、前記背景領域のうちの選択される k 行 m 列の画素は、1フレーム毎に選択される行がシフトされることである。

【0012】本発明の他の特徴は、上記駆動方法において、前記背景領域の全画素に、合計 $(n-s)/k$ フレーム期間かけて前記背景表示データを書き込むことである。

【0013】本発明の他の特徴は、前記背景領域の全画素には、合計 $(n-s)/k$ フレーム期間かけて前記背景表示データを書き込み、次の合計 $(n-s)/k$ フレーム期間には、同一行の画素に対し、背景表示データの基準電位に対する極性を反転させた背景表示データを書き込むことである。

【0014】本発明の他の特徴は、上記駆動方法において、前記背景領域のうちの、1フレーム期間中に選択される k 行以外の行に対しては、行選択動作を禁止することである。

【0015】本発明の駆動回路に係る特徴は、 n 行 m 列マトリクス複数の画素が、行ライン毎に選択されかつ列ラインから表示データの供給を受けて表示を行い、かつ、パシシャル表示命令が出されると、1フレーム期間中に、前記 n 行 m 列マトリクスの内の s 行 m 列の画素を選択して所定のパシシャル表示データを順次書き込み、また、前記 n 行 m 列の残りの背景領域のうちの k 行 m 列の画素を選択して背景表示データを書き込む表示装置の駆動回路であって、各行の選択期間に対応した行クロックを発生する行クロック作成部と、行クロックを1フレーム毎にカウントする行クロックカウンタ部と、前記パシシャル表示データを書き込むべき s 行の到来タイミングを検出するパシシャル表示行検出部と、前記1フレーム期間中に背景表示データを書き込むべき k 行の到来タイミングを検出する背景表示行検出部と、前記パシシャル表示行検出部又は前記背景表示行検出部のいずれかで表示行の到来が検出されると前記 n 行 m 列マトリクスを行毎に駆動する行ドライバでの行駆動動作を許可するドライバ制御信号を発生するドライバ制御信号発生部と、を備えることである。但し、 n 、 m 、 s 及び k は全て1以上の整数で、 $s < n$ 、 $k < n$ を満たす。

【0016】本発明の他の特徴は上記駆動回路において、更にフレーム数をカウントするフレームカウンタ部を備え、前記背景表示行検出部は、前記フレームカウンタ部でのカウンタ値に基づいて、前記背景表示データを書き込むべき行をシフトさせることである。

【0017】本発明の他の特徴は、上記駆動回路が、さらに表示データの所定基準電圧に対する極性を単位期間

毎に反転させるための極性反転信号作成部を備え、前記 n 行 m 列マトリクスのパシシャル表示領域以外の全画素は、合計 $(n-s)/k$ フレーム期間よりなる1背景表示期間かけて、それぞれが1回選択され、次の1背景表示期間の到来を前記極性反転信号作成部が検出し前記背景表示データの極性を反転させることである。

【0018】以上のような駆動方法、駆動回路を採用すれば、液晶表示パネル等の表示パネルを備える表示装置において、パネル自体の構成を変更することなく、パネルの任意の位置にパシシャル表示を行わせることができる。また、パシシャル表示の行われない背景領域については、1フレーム期間中に所定の k 行のみ選択することによって必要に応じて消費電力の低減を図ることができる。また背景領域において1フレーム期間中に選択されない上記 k 行以外の領域は、所定周期をかけて背景表示データが書き込まれる。背景表示データは、通常、文字や記号などの特別な情報がなく、情報自体に変化がないので頻繁に書き込む必要がない。また、このようなデータであれば、各画素への書き込み周期がある程度長くなっても表示の劣化が少ない。なお、背景表示データとして特にオフ表示データを採用することとすれば表示内容の劣化は非常に小さい。さらに、所定周期毎に背景表示データを書き込む際、例えば液晶表示パネルに有効な表示データの極性反転を行うことで、直流成分の印加により劣化する液晶など、表示素子の劣化を確実に防止することができる。

【0019】本発明の他の特徴は、上記表示装置の駆動方法において、前記パシシャル表示命令が出されると、1フレーム期間中に前記 n 行 m 列の全画素を選択して通常表示する際の単位クロックとなる画素クロックよりも、周波数の低い画素クロックを単位クロックとして用い、1フレーム期間中に前記パシシャル表示領域の全画素にパシシャル表示データを書き込み、前記背景領域のうちの前記 k 行 m 列の画素に背景表示データを書き込むことである。

【0020】本発明の他の特徴は、上記表示装置の駆動方法において、前記パシシャル表示命令が出され、前記背景領域のうちの、前記 k 行 m 列の画素以外の行に対する選択期間の到来を検出すると、行選択パルスの転送速度を増大することである。

【0021】また、本発明の表示装置の駆動回路に係る他の特徴は、上記駆動回路において、さらに、1フレーム期間中に前記 n 行 m 列の全画素を選択して表示データを書き込んで通常表示させる際の単位クロックを分周する分周回路を有し、前記パシシャル表示命令が出されると、前記分周回路からの分周画素クロックを単位クロックとして用い、1フレーム期間中に前記 s 行 m 列の画素への前記パシシャル表示データの書き込み制御、及び、前記 k 行 m 列の画素への前記背景表示データの書き込み制御を行うことである。

【0022】また、本発明の駆動回路に係る他の特徴は、上記駆動回路において、前記パルシャル表示行検出部及び前記背景表示行検出部での表示行検出信号に基づいて、前記背景領域のうち、前記 k 行 m 列の画素以外の行に対する選択期間の到来を検出して、前記行クロックの周波数を増大する行クロック制御部を備えることである。

【0023】このように背景領域において1フレーム期間中には1部のラインのみ選択し、他のラインは選択しない。また、この選択しないライン合計($n-s-k$)については、順に転送し各行に送出すれば行選択が実行される行選択パルスの転送速度を増大させる。転送速度の増大は、例えば行クロックの周波数を増大することで実現できる。これによりパルシャル表示モードの際には、1フレーム期間中選択する行が少なく済み、各行当たりの選択時間を長くできる。従って、その分動作クロックを低下させることが可能で、パルシャル表示モードの際における表示装置、特にデジタル信号処理回路における消費電力を低減することができる。

【0024】また、本発明の他の特徴は、モード切替タイミング制御部などによって、通常表示モードからパルシャル表示モードへの移行命令が出されると、該命令の次の1フレームは前記 n 行 m 列マトリクス of 全画素への表示データを背景表示データに変更し、その次のフレームから、前記ドライバ制御信号発生部での前記ドライバ制御信号の発生をスタートさせることを特徴とする。

【0025】このような制御により、パルシャル表示命令が出されてから、一旦、 n 行 m 列マトリクス of 全画素に背景表示データを書き込んでから、パルシャル表示モードに移行することになり、背景領域において長期間選択されることのない画素から、書き込まれていた通常データが徐々に失われていく現象が起これなくなる。

【0026】また、以上に説明した表示装置としては、例えば液晶表示装置が適用可能である。

【0027】

【発明の実施の形態】以下、図面を用いてこの発明の好適な実施の形態（以下実施形態という）について説明する。

【0028】【基本構成】図1は、本発明に係る表示装置の概略構成を示している。この表示装置は、例えば携帯電話に搭載されるLCDなどの平面表示装置であり、一対の基板間に液晶が封入されて構成された液晶表示（LCD）パネル200と、このLCDパネル200を駆動する駆動回路100と、駆動回路100及びLCDパネル200に必要な電源電圧（例えばVDD1、VDD2、VDD3）を供給する電源回路300を備える。

【0029】LCDパネル200は、各画素にスイッチ素子として薄膜トランジスタが設けられ、この薄膜トランジスタのオンオフを行方向に延びるゲートラインで制御し、この薄膜トランジスタを介して列方向に延びるデ

ータラインから各画素に表示データを供給することで、画素毎の表示が可能なアクティブマトリクス型LCDパネルである。また、パネルの表示部の周辺には、ゲートラインを順に制御する垂直方向ドライバ（Vドライバ）210、所定タイミングでデータラインに表示データを供給する水平方向ドライバ（Hドライバ）220が形成されている。但し、このVドライバ210及びHドライバ220は、パネル200上に形成されるものには限られず、IC化される駆動回路100の一部又は独立の回路で形成される場合もある。

【0030】駆動回路100は、供給されるRGBデジタルデータをラッチするラッチ回路101、ラッチデータをアナログデータに変換するデジタルアナログ（D/A）変換回路102、変換されたアナログデータを増幅してR、G、Bアナログ表示データとしてLCDパネル200のHドライバ220に対して供給するアンプ104を備える。駆動回路100は、また、図示しないCPUから命令を受け取って命令に応じた制御信号を出力するCPUインターフェース（I/F）回路106と、タイミングコントローラ（T/C）400を備える。I/F回路106は、図示しないCPUから送出される命令を受け取ってこれを解析し、命令に応じた制御信号を出力する。CPUから送出される命令は、パワーセーブ制御命令の他、表示パネルでの表示位置の調整命令やコントラスト調整命令などである。

【0031】T/C400は、ドットクロックDOTCLK、水平同期信号Hsync、垂直同期信号Vsync等のタイミング信号に基づき、LCDパネル200のVドライバ210やHドライバ220の動作及び表示に必要なタイミング信号、制御信号を発生する回路であり、後述するように、本実施形態では、任意の位置でのパルシャル表示を可能とし、かつ、必要に応じてその際の消費電力の低減を可能としている。

【0032】 n 行 \times m 列マトリクス of 画素を備えるLCDパネル200を例に挙げて説明する。本実施形態において、通常表示モードには、1フレーム期間中に全画素を駆動するが、各行を順に選択し、同時に m 列のデータラインに所定表示データを供給し、各行に対応する画素に表示データを書き込み、これを全 n 行について行うことで、図2(a)に示すように全画面表示を行う。

【0033】例えばCPUからパワーセーブ命令によってパルシャル表示モードに移行すると、図2(b)のように全 n 行のうち任意の s 行 m 列だけがパルシャル表示領域202となって所定のパルシャル表示を行い、他の領域は背景表示領域（背景領域）204となり背景表示（オフ表示）を行う。液晶層を挟んで設けられる共通電極と画素電極との間の電圧が0Vであると（オフ時）、白が表示されるノーマリホワイトモードLCDの場合には、上記背景領域204ではオフ表示に相当する白が表示される（白ラスタ表示が行われる）。

【0034】本実施形態において、背景領域204は、パージアル表示期間中、ずっとオフしているのではなく、図2(c)のように、所定期間毎に、行毎に用い選択され、対応画素に白表示データを書き込んでいる。白表示は、ノーマリホワイトの場合、原理的には電極間に電圧を印加しないことで実現されるが、実際には共通電極と白を表示する各画素電極との間に数ボルトの電圧を印加している。従って、実際の装置でのオフ表示に相当する電圧を白表示データとして背景領域204の各画素電極に画素トランジスタを介して書き込む。

【0035】画面が100行×100列($n, m=100$)のマトリクスLCDの場合であって、パージアル表示領域202が25($s=25$)×100の画素領域で、背景領域204が75×100の場合を例に説明すると、ある1フレーム期間中、背景領域204のうち所定 k 行についてはパージアル表示領域202と同様に選択して、そこに背景表示データ(背景領域は白表示データ)を書き込む。次の1フレーム期間中には、背景領域204の内の他の k 行を選択し、そこに白表示データを書き込む。

【0036】上記例では背景領域が75行であり、 $k=1$ の設定の場合、背景領域204では75フレーム($(n-s)/k$ フレーム)に1回対応する行204wが順次選択され、白表示データが書き込まれることとなる。従って、背景領域204の各行は、75フレーム後に再び選択されるまで選択されることなく、書き込まれた白表示を維持する。

【0037】また、背景領域204は、複数フレーム($(n-s)/k$ フレーム)期間かけて全画素に白データが書き込まれるが、その内のある行204wについて着目すると、該任意フレーム($(n-s)/k$ フレーム)期間の次の複数のフレーム($(n-s)/k$ フレーム)期間には、同一行に対し、先の該任意フレーム($(n-s)/k$ フレーム)期間とは極性の反転(共通電極電圧を基準として極性が反転)した白表示データを書き込んで反転駆動を行っている。

【0038】図3は、本実施形態の表示装置における通常表示モードからパージアル表示モードへの移行時の動作を示している。図1の1/F回路106が通常表示モードであると判断している場合、図3(a)のようにLCDパネル200は、全画面を用いて通常表示を行う(S1)。CPUからパージアル表示制御命令が送られてくると、1/F回路106がこれを解析してパージアル表示制御信号を発生し、パージアル表示モードに切り替わる(S2)。なお、スイッチなどが設けられている場合に、これを機器使用者が切り替えることで同等のパージアル制御信号が発生し、パージアル表示モードに移行してもよい。

【0039】装置がパージアル表示モードに切り替わった後、直接、上述のようなパージアル及び背景表示を行

っても良いが、本実施形態では、通常表示からパージアル表示への移行に際して、一旦全画面をオフ表示させている。具体的には、移行時の1フレームは、まず、通常通り各画素を選択して白表示データを書き込み白ラスタ表示を行う(S3、図3(b))。

【0040】このような制御をおこなうのは、パージアル表示に切り替わった際、背景領域で通常表示時の表示が徐々にオフ表示状態へ変化していくことを防ぐためである。つまり、通常表示からパージアル表示に切り替わった時、背景領域204の画素には、前の通常フレームの画素表示データが書き込まれている。ところが背景領域204では、上述のように1フレーム毎には選択されない。従って、たとえ各画素に設けられている画素トランジスタが次にゲートラインが選択されるまでオフ制御されていても、トランジスタのOFFリーク電流のため、画素表示データは徐々にドレインラインに抜けてゆき、液晶層を挟んで対向する共通電極の電位に近づいていく。つまり、背景領域204では、通常表示フレームから切り替わった際に、数秒かけて徐々にオフ表示(白ラスタ)に変化することとなり、このようなゆっくりとした表示の変化は、装置使用者にとって好まれないことが多い。そこで、パージアル表示に切り替わる前に、一旦全画面に白表示データを書き込んで白ラスタ表示をさせることで、パージアル表示時には、全ての画素は、オフ状態である白表示状態から変化することになり、パージアル表示時の背景領域204における表示劣化をなくすることができる。なお、以下において、LCDパネル200としては、特に言及しない限り、ノーマリホワイト型であり、白表示とは実質的にオフ表示であるものとして説明する。

【0041】一旦、全画面白ラスタ表示を行った後、LCDパネル200では、図3(c)のようなパージアル表示が行われる(S4)。本実施形態において、LCDパネル200でのパージアル表示は、パージアル制御信号に基づいて図1のT/C400が後述するような制御信号、タイミング信号を発生することで実行でき、LCDパネル200にはパージアル表示に対応するための特別な構成を備えなくても実現できる。

【0042】パージアル表示モードにおいてパージアル表示領域は、通常表示と同様に1フレーム中に各行が選択され表示データが書き込まれる。本実施形態に係る背景領域204の駆動方法1~4については、以下に図3(c)を参照して説明する。各駆動方法のより具体的な駆動波形の例については、図9~図15及び図18を参照して後述する。

【0043】なお、パージアル表示モードから通常表示モードへの復帰は、CPUなどから通常表示制御命令が送られ、図1の1/F回路106がこれを解析し、その結果に応じて、通常表示制御信号の発生又はパージアル表示制御信号の出力停止などを行うことで達成される

(図3、S5)。

【0044】(駆動方法1)方法1において、パシシャル表示領域202は1フレーム期間中に全 s 行(ゲートライン)を順次選択して所定の表示データを書き込み、背景領域204では、同じ1フレーム期間中に、領域204の k 行のみ選択して白表示データを書き込む。つまり、本駆動方法1では、1フレーム期間中にパシシャル表示領域202の全 s 行と、背景領域204の k 行との合計 $s+k$ 行を順に選択し、選択された行に対し、 m 列のデータラインに所定タイミングで表示データを送出することで、対応する画素に対応する表示データを順次書き込む。

【0045】そして、パシシャル表示領域202が25行、背景領域204が75行で $k=1$ である場合、1フレーム期間に、26行(25行+1行)が順に選択され、背景領域204の他のライン204tは、図1のT/C400の作成する信号のうち、後述する制御信号である垂直マスク信号(VMASK)に基づいて選択が禁止される。

【0046】次のフレームには、パシシャル表示領域202は再び全 s 行が選択され表示データが書き込まれる(但し、表示データは、ライン反転、1フレーム反転により極性が1ライン毎、1フレーム毎に変化する)。また、背景領域204では、前フレームで白表示データを書き込んだ k ラインと異なる k ラインが選択され、白表示データが書き込まれる。従って、全100行でパシシャル表示領域202の行数 s が25、背景領域204での1フレーム当たりの選択行数 k が1であれば、上述のように、パシシャル表示領域202は、各フレームで全領域202に表示データが書き込まれ、背景領域204では、75フレームがかって全ての領域に白表示データが書き込まれることとなる。

【0047】また、 $k=1$ で、背景領域204において、前のフレームで選択された1ラインと隣接する1ラインが次フレームに選択される場合には、隣接するラインには逆極性の白表示データを書き込んでライン反転駆動を行う。

【0048】さらに、複数($(n-s)/k$)フレーム期間(1背景表示期間)かけて(上記例では75フレーム)、背景領域204の全画素に白表示データが書き込まれたら、次の $(n-s)/k$ フレーム期間には、同一行に逆極性の白表示データを書き込む。

【0049】また、背景領域では、1ライン毎かつ、1背景画面毎に極性を反転して白表示を行うことで、背景領域においても液晶に直流電圧成分がずっと印加されることが防がれ、液晶の劣化を防止している。

【0050】駆動方法1では、パシシャル表示モードに際して、以上のような手順を繰り返しパシシャル表示及び背景表示を行う。

【0051】なお、駆動方法1では、各画素を点順次駆

動した場合も、線順次駆動した場合でも適用可能である。点順次駆動の場合には、あるパシシャル表示領域及び背景領域のいずれにおいても、対応する行(ゲートライン)が選択された際、データラインに順次表示データを送出し、線順次駆動の場合には全データラインに一斉に書き込むべき表示データを送出する。

【0052】(駆動方法2)1フレーム期間中に、パシシャル表示領域202の全 s 行と背景領域204の k 行が選択され表示データが書き込まれる点は、上記方法1と共通するが、方法2では、パシシャル表示領域202の全 s 行の画素を点順次駆動(又は線順次駆動)して表示データを書き込んだ後、全データライン(m 列)に白表示データを供給してから背景領域204の k 行を選択する。より具体的には、パシシャル表示領域202について駆動を終えた後、次の1水平走査期間(1H:1ゲートライン選択期間)において、 m 本のデータライン全てに白表示データを書き込んでから、背景領域204の k 行のゲートラインを選択する。これにより選択されたゲートラインの画素トランジスタがオンし、データラインに供給されている白表示データを取り込み、対応する画素は白を表示する。

【0053】この背景領域204において選択されて白表示データの書き込まれる行は、上記方法1と同様に、1フレーム毎に変化し、かつ前フレームと次フレームとで背景領域204の選択行が隣接する場合、隣接行で白表示データの電圧が互いに逆極性となるようにする。

【0054】背景領域204については複数フレームで全領域に白表示データが書き込まれ、1背景画面毎に同一行に書き込まれる白表示データの電圧極性が反転されるのは上記方法1と同様である。

【0055】上記駆動方法1では、パシシャル表示領域202に対する行選択終了後、同一1フレーム期間中に選択される背景領域204での行の選択期間が到来するまでHドライブ220が動作を停止し、対応する行を選択した後、再び動作を停止する。これに対し、本駆動方法2では、パシシャル表示領域202に対する行選択終了後、続く1H期間だけHドライブ220を動作させて各データラインに白表示データを書き込めば、残りの背景領域204の選択期間中は動作を停止させることができる。そして、このような制御は、上述の駆動方法1と同様にT/C400における最小限の構成の変更、追加により容易に実現することができる。

【0056】(駆動方法3)駆動方法3では、プリチャージ制御信号を利用して背景領域204の k 行に白表示データを書き込む。アクティブマトリクス型のLCDでは、通常の場合、1H期間中、対応するゲートラインを選択して画素トランジスタをオンさせ、その際データラインに印加される表示データを画素トランジスタを介して各画素に書き込むことで画素毎の表示を行っている。しかし、ライン反転駆動方式の場合には、特に、1H毎

にデータラインに印加される表示データの極性が反転するため、1Hの切り替わり後、データラインの電圧が、早く確実に次に表示すべき表示データの電圧になることが望まれる。そこで、予め続く1Hでデータラインに書き込む表示データ電圧に近い電圧を各データラインに書き込むプリチャージが行われている。特に、薄膜トランジスタの駆動層に多結晶シリコンを用いるP-Si TFT LCDでは、TFTの動作負荷の軽減等の目的のため、図3に示すように専用のプリチャージドライバ230をLCDパネル200に他のドライバ210、220と共に形成しておき、プリチャージ駆動を行う。

【0057】本実施形態の駆動方法3では、このようなプリチャージのために利用されるプリチャージ制御信号及びプリチャージデータを背景領域204での背景表示にも利用する。つまり、あるフレーム期間中に背景領域204の選択すべき行の選択タイミングになる際、後述するように、図1のT/C400に、その1Hの開始直前にプリチャージ制御信号(PCG)を発生させ、この制御信号に応じて各データラインに白表示データに相当するプリチャージデータを書き込む。なお、パシヤル表示領域202では、プリチャージ制御信号によって各データラインに、任意の行が選択される直前に、その行において表示すべきパシヤル表示データのレベルに応じた所定のプリチャージデータが供給される。なお、この所定プリチャージデータはパシヤル表示データのレベルに関係なく、一定レベルに設定してあってもよい。

【0058】背景領域204において1フレーム毎に選択する行(ゲートライン)を変更すること、ライン毎に白表示データの極性を反転すること、1背景画面毎に白表示データの極性を反転する点は上記方法1及び2と同一である。

【0059】このようにプリチャージ制御信号を利用して背景領域204のk行への白表示データを書き込むこととすれば、背景表示期間中に、Hドライバ220を制御する必要がなくなり省電力化に寄与することが可能となる。

【0060】(駆動方法4)本実施形態において方法4は、1フレーム期間中に背景領域204の選択するk行についての駆動方法は、上記方法1~3のいずれかで実行し、選択しない(n-s-k)行の選択期間に相当する間は、1H期間の長さを制御するパルス(例えば行クロック)の周波数を高め、行ドライバ(Vドライバ210)内で各行選択パルスを高速度転送してしまう。

【0061】このような駆動を行うことで、1フレーム期間中に表示する行数がs行+k行の場合には、通常動作(n行駆動)の時よりも、より高い周波数で各行を駆動することが可能で、動作周波数に消費電力の依存するデジタル処理系の回路での消費電力低減が可能となる。

【0062】また、1フレーム期間中に背景領域204内で選択しない行に相当する期間は、Vドライバ210

を停止させるのではなく、Vドライバ210内で出力すれば各行が選択される選択パルスを該行には出力せず高速度転送する。従って、次に、目的とする行に選択パルスを出力して該行を駆動する際に、特別なパルス送り出し動作などをする必要が無く、直ちに必要な行(ゲートライン)に選択パルスを出力することができる。

【0063】このように、パシヤル表示モードの際には、Vドライバが行を選択するための選択パルスの転送周波数を一部増大し、それによって、表示装置全体の動作周波数を低下させる。よって、LCDパネル200の内蔵ドライバ等の設計変更を行うことなく、駆動周波数の低減による消費電力の低減を達成することが可能で、パワーセーブモードにおいてパシヤル表示をすることが可能となる。

【0064】(駆動回路)次に、上述のような駆動を実現する本実施形態に係る駆動回路の構成例について説明する。図4は図1の駆動回路100の中のT/C400の構成、図5は、本実施形態においてLCDパネル200に内蔵するVドライバ210の構成を示している。

【0065】T/C400には、ドットクロック(DOTCLK)、水平同期信号(Hsync)、垂直同期信号(Vsync)及びパシヤル表示制御信号(PARTIAL)が供給されており、これらに基づいて、水平クロック(CHK)、水平スタートパルス(STH)、プリチャージ制御信号(PCG)、ゲートライン選択制御信号(ENB)、垂直クロック(CKV)、垂直スタートパルス(STV)、極性反転制御信号(FRP)を作成し、これをLCDパネル200のVドライバ210、Hドライバ220に供給する。

【0066】Hカウンタ12は、分周回路11を経て供給されるドットクロック(DOTCLK)をクロックとしてこれをカウントする。そしてHカウンタ12は、アンドゲート31を介して1H期間に1回に出力される水平同期信号(Hsync)と後述する1H駆動回路19からのHリセット信号(Hreset)によりカウント値がリセットされるため、1H期間毎にドットクロックをカウントする。

【0067】上記分周回路11は、図6に示すような構成で2段のF/F111、112とアンドゲート113、115、インバータ114及びドットクロックと分周クロックとを選択して出力するオアゲート116を備える。そして、上記駆動方法4のように背景領域204について1フレーム期間中にk行しか選択しないこととした場合に、通常のドットクロック(DOTCLK)を分周し、Hカウンタ12、後述するVカウンタ34及びフレームカウンタ47に対しその分周クロックを供給することにより、パシヤル表示モードの際に回路の動作速度を低下させて消費電力を下げるために用いられる。

【0068】Hカウンタ12のドットクロックカウント値は、デコーダ13でデコードされ得られたパルス信号がフリップフロップ(F/F)20、アンドゲート27

を介して、水平クロック (CKH) として出力され、LCDパネル200のHドライブ220に供給される。

【0069】デコーダ14は、Hカウンタ12のドットクロックカウント値に基づいて各1水平走査期間中のスタートタイミングを決めるパルスを発生し、これがF/F21及びアンドゲート28を介して水平スタートパルス (STH) として出力される。

【0070】デコーダ15は、Hカウンタ12のドットクロックカウント値に基づいて、1水平期間の開始直前のタイミングを求めてパルス信号を作成する。このパルス信号は、F/F22及びアンドゲート29を介して、1Hの開始直前に、データラインの電圧を続く1H期間の表示データ電圧に近づけるためのプリチャージ制御信号 (PC6) として出力される。

【0071】デコーダ16は、Hカウンタ12のドットクロックカウント値に基づいて、各ゲートラインの選択許可期間を制御するタイミングを求め、これがF/F23及びアンドゲート30を介し、ゲートライン選択制御信号 (ENB) として出力される。この制御信号 (ENB) は、1Hの開始直前にデータラインに対して行われる上記プリチャージ期間中に、ゲートラインが選択され画素トランジスタがオンしてプリチャージデータが各画素に書き込まれることを禁止するための制御信号である。このゲートライン選択制御信号 (ENB) は、図5に示すLCDパネル200のVドライブ210に供給される。

【0072】図5に示すVドライブ210は、パネルのゲートライン数 (n) に応じ、後述する垂直クロック (非反転CKV、反転CKV) をクロックとして、垂直スタートパルス (STV) を順次シフトする複数段のシフトレジスタ251、252・・・、y番目とy+1番目のシフトレジスタ出力の論理積を出力するアンドゲート261、262・・・、ゲートラインへの各最終出力ゲート271、272・・・を有し、上記ゲートライン選択制御信号 (ENB) がこの最終出力ゲート271、272・・・の一方の入力端に供給されている。そして、この制御信号 (ENB) は、1H期間の開始直前のプリチャージ期間中にLレベルとなるため、ゲートラインへのゲート選択信号の出力が制御信号 (ENB) のLレベルの間、禁止される。

【0073】Hカウンタ12でのドットクロックカウント値をデコードするデコーダ17からの出力は、F/F24を介してアンドゲート44の一方の入力端に供給されている。このアンドゲート44の他方の入力端には、分周回路11を介してドットクロック (DOTCLK) が供給されている。通常表示状態において分周回路11で分周は行われないので、このゲート44のアンド出力はドットクロックとほぼ等しく、これがクロックとして供給されるF/F41のQ端子からは、1H毎にレベルの変化する信号が得られ、これは垂直クロック (CKV) としてLCDパネル200のVドライブ210に出力される。

【0074】デコーダ18は、Hカウンタ12のドットクロックカウント値に基づいたパルス信号を発生し、これは、1H毎に表示データを反転させるための反転制御信号 (FRP) を出力するためのF/F40にクロックを供給するアンドゲート43に1入力としてF/F25を介して供給されている。

【0075】1H幅制御回路19は、各ゲートラインの1選択期間に対応する1H期間に1回Hリセット信号 (Hreset) を発生し、後述のアンドゲート32及びVカウンタ34と共にクロック作成部の一部として機能する。また、上記駆動方法4において説明したように、T/C400内で、1H期間、1V (1フレーム) 期間の基準となるHリセット信号 (Hreset) の出力タイミングを遅め、背景領域において選択されない行についてデータ処理期間を短縮する。これにより、図5のVドライブでのゲート選択パルスの転送速度が向上する。

【0076】この1H幅制御回路19は、図7に示すような構成であり、例えばHカウント値が高達リセット設定値「10」の時、Hを出力するデコーダ191、Hカウンタが通常リセット設定値「120」の時、Hを出力するデコーダ192、これらデコーダ191、192の出力と、後述するVマスク信号 (VMASK) との反転、非反転信号とのアンドをとるゲート193、195、2つのアンドゲートのオアをとるオアゲート196を有する。背景領域204であるため、後述するVマスク信号 (VMASK) がLレベルで、該当期間中での選択が行われない期間には、インバータ194によって反転マスク信号がアンドゲート193に供給され、アンドゲート193からのデコーダ191の出力が許可される。よって、通常、カウント値がm (例えばm=120、但しここでmは帰線期間を含む) で出力されるHリセットパルス (Hreset) を、Hカウンタが10まで数えたところで出力することができる。

【0077】Vカウンタ34は、アンドゲート32の出力をクロックとして受け、アンドゲート33の出力によりリセットされる。アンドゲート32には、1H幅制御回路19からのHリセットパルス (Hreset) と、分周回路11を介して供給されるドットクロック (DOTCLK) とが入力されており、このVカウンタ34は、1Hに1回Hとなるパルスをカウントし、1V期間毎に垂直同期信号 (Vsync) に応じてそのカウント値をリセットする。

【0078】デコーダ35は、Vカウンタ34でのカウント値に基づいて1垂直走査期間 (1V) に1回、1V期間のスタートを示す垂直スタートパルス (STV) をF/F37を介して出力する。

【0079】デコーダ36は、Vカウンタ34でのカウント値に基づいて、該カウント値がLCDパネル200のライン数 (ゲートライン数n) に応じた数値になるとVリセットパルス (Vreset) をF/F38を介して出力する。このVリセット信号 (Vreset) は、F/F40の

リセット端子に供給されて1H及び1フレームごとに表示データの極性を反転させる反転パルス(FRP)をリセットし、またF/F41のリセット端子にも供給されて上述のVクロック(CKV)をリセットする。さらに、このVリセットパルスは、ドットクロック(DOTCLK)との論理積をとるアンドゲート42に供給され、F/F39は、このゲート42のアンド出力をクロック端子に受けて動作することで、F/F39からは1フレーム毎に反転するQ出力が得られる。

【0080】EXORゲート45は、上記F/F39及び40の出力の排他的論理和をとり、これが極性反転パルス(FRP)としてLCDパネル200のHドライバ220に出力される。

【0081】さらに、本実施形態では、図4の下側に記載されているように、フレームカウンタ47、フレームカウンタ値に応じてマスク信号(VMASK)を生成・出力するマスク生成回路48及びF/F50、フレームカウンタ値をデコードしてフレームカウンタをリセットするためのデコーダ49及びF/F51を備える。

【0082】フレームカウンタ47は、Vリセット(Wreset)、Hリセット(Hreset)及びドットクロックのアンドをとるアンドゲート46からの出力をカウントする。アンドゲート46からは、1V期間中に1回、即ち1フレーム期間に1回Hレベルとなる出力が得られるため、フレームカウンタ47は、このアンド出力をカウントすることでフレーム数をカウントし、結果をMASK生成回路48とデコーダ49に出力する。

【0083】MASK生成回路48は、図8に示すような構成で、パシシャル表示行の到来タイミングを検出するパシシャル表示行検出部に相当するコンパレータ482、背景領域内でオフ表示データを書き込む行の到来を検出する背景表示行検出部に相当するコンパレータ481及び加算回路483を備え、また、オアゲート484及び485、インバータ486を備える。加算回路483は、任意に設定可能な設定値、例えば「25」をフレーム(F)カウンタ値に加算してコンパレータ481に出力する。

【0084】コンパレータ481は、Vカウンタ34からのVカウンタ値と、Fカウンタ値+設定値「25」と比較し、Vカウンタ値がFカウンタ値+設定値「25」になるとHレベルを出力し、他の値のときはLレベルを出力する。また、コンパレータ482は、Vカウンタ値が、目的とするパシシャル表示位置に応じて任意に設定された値、例えばここでは「25」より小さければHレベルを出力し、「25」以上でLレベルを出力する。

【0085】よって、オアゲート484からは、Vカウンタ値が、0-24の期間と、Fカウンタ値+25の期間だけHレベルが出力され、オアゲート485からは、後述するパシシャル表示スタート信号(SPART)がHレベル(パシシャル表示モード)の時だけ、上記ゲート4

84からの出力がVマスク信号(VMASK)として、F/F50を介して出力される。

【0086】なお、通常表示時には、スタート信号(SPART)がLレベルを維持するため、インバータ486を介してオアゲート485には常時Hが入力されるため、Vマスク信号(VMASK)はHレベルを維持する。

【0087】Vマスク信号(VMASK)は、アンドゲート27-30の一方の入力端に供給されており、Vマスク信号(VMASK)がLレベルの時には、Hクロック(CKH)、Hスタートパルス(STH)、プリチャージ制御信号(PCG)及びイネーブル信号(ENB)の出力を禁止する。また、Vマスク信号(VMASK)は1H幅制御回路19に供給されており、1H幅制御回路19は、上述のようにこのVマスク信号(VMASK)がLレベルの時だけ、1H期間をHカウント値が10になったタイミングで、Hリセットパルス(Hreset)を出力する。更に、このVマスク信号(VMASK)は、アンドゲート43の入力端にも供給されており、Vマスク信号(VMASK)がLレベルの時にはF/F40の出力が固定され、結果として極性反転信号(FRP)のレベルがその期間、固定される。

【0088】デコーダ49には、背景領域204のライン数(n-s)と、パシシャル表示時において1フレーム期間中に選択する背景領域204のライン数kとに応じて[(n-s)/k]が設定される。例えば、ここでは、n=100、s=25、k=1で、「75」が設定されており、Fカウンタ値が75、つまりパシシャル表示時において75フレーム目にパルスが出力される。このパルスは、F/F51を介してフレームカウンタ47にFリセットパルス(Freset)として供給され、フレームカウンタ47は、パシシャル表示モードの時は、[(n-s)/k]フレーム(75フレーム)毎にカウンタ値がリセットされる。

【0089】F/F52は、図1の1/F回路106からパシシャル表示モードになると出力されるパシシャル表示制御信号(PARTIAL)をD端子に受け、Vリセット(Wreset)、Hリセット(Hreset)及びドットクロックのアンドをとるアンドゲート46からの出力をクロックとして動作する。アンドゲート46からは、1V期間に1回立ち上がるパルス信号が供給されるため、F/F52は、パシシャル表示制御信号を受けると次の1V期間にこれを取り込んでQ端子から出力する。

【0090】F/F52からのQ出力はアンドゲート54の一方の入力と、F/F53のD端子に供給されている。また、F/F53はクロックとして、上記F/F52と同様にアンドゲート46からの出力を受けており、F/F53のQ端子からは、パシシャル表示が命令されてから1V期間が経過した時にHレベルとなるパシシャル表示スタート信号(SPART)が出力され、このスタート信号(SPART)は上記マスク生成回路48及び分周回路11に供給される。また、F/F53の反転Q出力

は、アンドゲート54の他の入力に供給されている。従って、アンドゲート54からは、パルシャル表示制御信号(PARTIAL)がHレベルとなった次の1V期間だけHレベル、他の期間はLを維持するフラッシュ信号(FLASH)が出力される。

【0091】上記フラッシュ信号(FLASH)は、オアゲート55、56、57の一方の入力端に供給されており、フラッシュ信号(FLASH)がHになると、各オアゲート55～57からのR、G、Bデジタル出力が全てHレベルとなる。

【0092】このR、G、Bデジタル出力の全Hレベルは、白表示を意味しており、このR、G、Bデジタル出力が、図1のラッチ回路101等のデジタル処理回路に出力され、D/A変換回路102、アンプ104を経て白表示のためのR、G、Bアナログ表示信号として、LCDパネル200のHドライブ220に供給される。

【0093】従って、以上のような構成により、パルシャル表示制御信号がHとなると、図3に示したように、まず、次の1フレームでは、全画面白表示(白ラスタ表示)となり、命令から1フレーム経過したときに、F/F53からパルシャル表示スタート信号(SPART)が出力され、パルシャル表示動作が開始する。

【0094】(表示装置動作)次に、上記構成によって実現される表示装置の動作タイミングについて、さらに図9～11を参照して説明する。なお、図9は通常表示時、図10は全画面白表示時、図11は上述の駆動方法1及び方法4が採用されたパルシャル表示時におけるタイミングチャートをそれぞれ示している。

【0095】・通常表示

通常表示時には、パルシャル表示制御信号(PARTIAL)がLレベルを維持するので、Vマスク信号(VMASK)がHレベルを維持する。このため、偶数フレーム、奇数フレームとも、1H制御回路19はデータライン数mに応じてHリセットパルス(Hreset)を出力するため、1H期間は一定で、Vクロック(CKV)も一定となる。また、Hクロック(CKH)、Hスタートパルス(STH)、プリチャージ制御信号(PCG)、イネーブル信号(ENB)のいずれも禁止されることがなく出力される。

【0096】従って、図5に示すLCDパネル200のVドライブ210は、Vスタートパルス(STV)が出力されると、1H毎のVクロック(CKV)に従って各ゲートラインを選択する信号を順次発生し、対応するゲートラインにイネーブル信号(ENB)がそれぞれHレベルの期間ゲート選択信号を順に出力していく。また、LCDパネル200のHドライブは、Hスタートパルス(STH)が出力されると、Vドライブ210によって選択されたゲートラインの各画素に書き込むべき表示データをHクロック(CKH)に従って、順次、対応するデータラインに出力していく。

【0097】このようにVドライブ210によってゲ-

ートラインを順に選択し、Hドライブ220から対応して順にデータラインに表示データを出力してゆき、選択されたゲートラインに接続された画素トランジスタをONさせ、データラインと画素トランジスタを介して各画素に表示データを書き込む。そして、このような動作を各フレームで繰り返し、任意の表示を行う。

【0098】なお、表示データは、極性反転制御信号(FRP)が1H、つまり1ライン毎に反転することでその極性が反転制御されて各画素に印加される。また、偶数フレームと奇数フレームとでもこの制御信号(FRP)が反転するため、同一行についてはフレーム毎に極性の反転した表示データが供給される。

【0099】・白ラスタ表示

上述のように、図1のI/F回路106等からT/C400に供給されるパルシャル表示制御信号(PARTIAL)がLレベル(通常表示)からHレベル(パルシャル表示)へと変化すると、続く1V期間だけHレベルとなるフラッシュ信号(FLASH)がアンドゲート54から出力される。従って、図10に示すように、R、G、B表示データが1V(1フレーム)期間全て白データとなる。この白ラスタ表示の際、他のタイミング信号は、図9において説明した通常表示時と変わらないので、Vドライブ210は、通常表示時と同様にVスタートパルス(STV)が出力されるとゲートラインを順に選択し、Hドライブ220が、Hスタートパルス(STH)が出力されると、各データラインに順次白データを出力する。従って、1フレーム期間は、画面全てに白が表示される。

【0100】・パルシャル表示(駆動方法1及び駆動方法4)

図11は、図4に示すような構成によって実現される駆動方法のパルシャル表示時の動作を示しており、上述の駆動方法1と駆動方法4の両方が実行されている。つまり、所定の位置へのパルシャル表示、残りの背景領域での白表示、に加え、1フレーム期間中の動作速度を低下させて駆動回路における消費電力低減を図っている。1フレーム期間における動作速度の低下は、図4の1H制御回路19によるVドライブの高速度制御と、分周回路11の分周信号をドットクロック(DOTCLK)として使用することで可能となっている。

【0101】パルシャル表示制御信号(PARTIAL)がHレベルに変化すると、上述のように最初の1フレームでは画面全体に白が表示され、次のフレームになるとパルシャル表示スタート信号(SPART)が、LレベルからHレベルに変化する。従って、図6に示す構成の分周回路11では、アンドゲート115からのドットクロック(DOTCLK)の出力が禁止され、ここでは、F/F111及び112によって4分周されたドットクロック(以下分周ドットクロック)がアンドゲート113及びオアゲート116を介して出力される。この4分周ドットクロックに従って動作する回路はその動作速度が4分の1と

なり、図11に示すように作成される制御信号(CKH, CKV, ENB, STH, FRP等)も1/4の周波数となる。

【0102】また、MASK生成回路48では、コンパレータ482及びコンパレータ481からの比較出力がオアゲート485によって選択され、図8のように、コンパレータ482及び加算回路483に対する設定値をパーシャル表示位置が1~25ラインとなるように設定した場合、Vカウント値が0~24の期間と、フレームカウント値+25の期間HレベルとなるVマスク信号(VMASK)が出力される。ゲートラインを1行目から順に選択していくVドライブ210には、まず、パーシャル表示が行われる1~25ラインまでの間、Vマスク信号(VMASK)に基づいて作成されたイネーブル信号(ENB)が供給される。従って、この期間(パーシャル表示期間)は、Vドライブ210にHレベルのイネーブル信号(ENB)の出力が許可され、各ライン(行)への選択パルスの出力が許可される。よって、上記4分周ドットクロックに基づいて作成された通常時の1/4の周波数のVクロック(CKV)に従って動作する点を除き、Vドライブ210は、通常表示時と同様、イネーブル信号(ENB)がHレベルの期間、各ゲートラインにゲート選択パルスを出力する。また、Hドライブ220においても、Hクロック(CKH)及びVクロック(CKV)等が通常時の1/4の周波数である点を除いて、通常時と同様に、1H期間中、データラインに選択されたゲートラインに対応した画素に書き込む表示データ(パーシャル表示データ)を順次出力する。

【0103】マスク生成回路48は、Vカウント値がパーシャル表示領域外になるとVマスク信号(VMASK)をLとする。従って、このVマスク信号(VMASK)がLの期間はVドライブ210によるゲートラインの選択は禁止され、極性反転信号(FRP)の反転動作は、直前の状態を維持する。

【0104】また、Vマスク信号(VMASK)がLレベルになると、1H幅制御回路19は、例えば、図7において、通常Hカウント値が120になると出力していたHリセットパルス(Hreset)をHカウント値が10になった時点で出力する。従ってHリセットパルス(Hreset)の出力周期が速くなり、Hカウンタ12でのカウント処理が速くなり、Hカウント値に応じて作成されるF/F41からのVクロック(CKV)の周期が、図11に示されるように短くなる。ここで、図5に示すように、Lコパネル200のVドライブ210では、シフトレジスタ251・・がこのVクロック(CKV)をシフトクロックとして動作しているため、Vクロック(CKV)が速まることで、その期間、Vドライブ210内でのシフトレジスタ転送速度が速まる。

【0105】背景表示期間において、マスク生成回路48のコンパレータ481が背景領域で選択すべきラインを検出すると、図11に示すように該当するライン選択

期間だけVマスク信号(VMASK)をHレベルとする。これにより、Vドライブ210は、Vマスク信号(VMASK) Hレベル期間中、パーシャル表示期間と同様に、対応するゲートラインに選択信号を出力する。また、Hドライブ220は、Hスタートパルス(STH)が出力されると、供給されている白表示データを極性反転制御信号(FRP)によって決まる極性で順次データラインに書き込む。従って、背景領域204の所定のラインが1フレーム期間中にパーシャル表示領域と同様に選択されここに白表示データが書き込まれる。

【0106】図11において、上段の偶数フレームに続く下段の奇数フレームでは、パーシャル表示期間中における動作は、極性反転制御信号(FRP)が偶数フレームと逆転して、各画素に偶数フレームの時と逆極性の表示データが書き込まれる点を除くと同じである。背景表示期間においては、奇数フレームでは、一旦LレベルとなったVマスク信号(VMASK)が再びHレベルになるタイミングが1H期間遅い。これは、図8のマスク生成回路48において、Fカウント値が前フレーム(偶数フレーム)より1つ多いためであり、前フレームで選択された次のラインが選択されている。また、このとき、Hドライブ220からは、極性反転制御信号(FRP)のレベルが偶数フレーム時と逆であるため、前フレームと逆極性の白表示データが各データラインに出力され、選択されたゲートラインに対応する画素に書き込まれる。

【0107】以上の動作を繰り返す行うことで、図3(c)に示すようにパーシャル表示領域202には、1フレーム毎に表示データが書き込まれ、また背景領域204では、選択されないライン(ゲートライン)に相当する期間(204t)はVドライブ210内で高速転送が行われ、所定ラインだけが選択され白表示データが書き込まれる。そして、背景領域204では、図8のような設定の場合には、75フレームで全領域に白表示データが書き込まれる。更に、次の75フレームには、極性反転制御信号(FRP)のレベルが前の75フレームの時と反転するので、同一のゲートラインには、75フレーム前は極性が逆の白表示データが書き込まれる。

【0108】・パーシャル表示(駆動方法1)
次に、図12を用いて駆動方法1のみの場合の具体的な動作タイミングを説明する。駆動方法1では、上述のようにVドライブ210において高速転送を実行せず、図4の構成を用いて説明すると、分周回路11での分周を行わず、かつ背景表示期間中において、1H幅制御回路19がHリセットパルスの出力周期を速めない、タイミングチャートにおいて、図11と相違する点は、Vクロック(CKV)の周期が、Vマスク信号(VMASK)のレベルに関わらず一定であることであり、他は図11で説明したパーシャル表示動作及び背景表示動作と同じである。このような駆動方法1により、上記図11のときのようにパーシャル表示モード時における駆動周波数が変わら

ないのでデジタル回路系での消費電力は変わらないが、マスク生成回路48での設定(コンパレータ481、482及び加算回路483)により、任意の位置にパースシャル表示することができ、また、背景領域については1フレーム期間中に任意の数のラインを選択し白表示データを書き込むことができる。

【0109】・パースシャル表示(駆動方法2)

次に、図13を用いて駆動方法2のみの場合の具体的な動作タイミングを説明する。図12の駆動方法1と同様に、Vドライブ210での高速転送、及び駆動周波数の低減は行っていない。上記図12に示す駆動方法1と相違する点は、図13では、背景表示期間の開始後、最初の1H期間においてHスタートパルス(STH)が出力され、Hドライブ220が、このHスタートパルスに応じてデータラインに白表示データを書き込むことである。このため、Vマスク信号(VMASK)が背景表示期間中にHレベルとなって、Vドライブ210が対応するゲートラインを選択すると、既に各データラインに書き込まれている白表示データが直ちに対応する画素に書き込まれる。

【0110】・パースシャル表示(駆動方法2及び4)

図14は、上記駆動方法2と駆動方法4とを組み合わせた駆動方法での具体的な動作タイミングを示している。上記図13と相違する点は、図11と図12との差異と同様に、まず、パースシャル表示モードの場合に図4の分周回路11などを利用して各回路の動作周波数を下げ、図14では、通常表示動作よりもCKV、ENB、FRP、VMASK、表示データ等の周期が長いことである。また、背景表示期間において最初の1Hでデータラインに白表示データを書き込んだ後、及び背景領域の1フレーム中に選択すべきゲートラインの選択が終了した後、図4の1H幅制御回路19などを利用することで、Hリセットパルス(Hreset)の出力タイミングを遅め、最終的にLCDパネル200のVドライブ210におけるシフトレジスタのデータ転送クロックとなるVクロック(CKV)の周波数を上げている。このため、図14に示すようにVマスク信号がLレベルの期間はVドライブ内でゲート選択パルスの高速転送が行われている。

【0111】・パースシャル表示(駆動方法3)

図15は、駆動方法3の場合の具体的な動作タイミングを示している。この方法においても、上記図12に示した駆動方法1と同様に、Vドライブ210でのパルス高速転送、及び駆動周波数の低減は行っていない。上記図12の方法では、背景表示期間中において、Vマスク信号(VMASK)がHレベルとなった時、Hスタートパルス(STH)に応じてHドライブ220がデータラインに白表示データを書き込むが、図15の方法では、通常表示と同様に、Hスタートパルスの直前にプリチャージ制御信号(PCG)を発生させ、プリチャージ回路によって各

データラインに白表示データを書き込む。

【0112】ここで、図16及び図17を用いてプリチャージ波形及びLCDパネル200に内蔵可能なプリチャージドライバ230の構成について説明する。プリチャージドライバ230は、プリチャージ制御信号(PCG)とその反転信号に応じてオンオフするTFTよりなるスイッチSW1、SW2・・・SWmにより構成されている。そこで、図16のようにプリチャージ制御信号(PCG)が出力されて各スイッチSW1、・・・がオンすると、対応するスイッチSWを介してプリチャージデータラインに接続された1番目からm番目までであるデータラインに、それぞれプリチャージデータ(PCD)が印加される。このプリチャージデータ(PCD)は、図18に示すように、プリチャージ制御信号(PCG)の出力直後に始まる1H期間にデータラインに印加されるR、G、B表示データと、極性が一致している。そして、その電圧レベルは、通常表示時において、R、G、B表示データの中間電圧レベルに設定している。

【0113】背景表示期間中は白表示データがデータラインに向けて出力されており、白表示であればR、G、B表示データの中間電圧レベルも白表示データと同等になる。従って、背景表示期間中、このプリチャージドライバ230のスイッチSW1～SWmをオンさせれば、Hドライブ220を動作させなくても、各データラインにプリチャージデータを選択されたゲートラインの画素に白表示データとして供給できる。従って、Hドライブ220の負荷を減らし、その消費電力を低減することが可能となる。

【0114】・パースシャル表示(駆動方法3及び4)

図18は、駆動方法3と方法4とを組み合わせた場合の具体的な動作タイミングを示している。上記図15と相違する点は、パースシャル表示モードにおける各タイミング信号の周波数が低いことと、背景表示期間のVマスク信号(VMASK)がLレベルの期間、Vクロック(CKV)の周波数を上げ、Vドライブ内においてゲート選択信号を高速転送している点である。このような駆動方法により、パースシャル表示モードにおける駆動周波数の低減による消費電力の低減と、Hドライブの処理負荷の低減の両方が可能となる。

【0115】【背景表示色】上記基本構成では、パースシャル表示モードに移行してから背景領域には白データ(オフ表示)を表示するものとして説明している。しかし、背景表示データとしては、オフ表示データに限らず、他の背景表示色データを採用し、そのデータの示す色を背景領域に表示してもよい。以下に背景表示色を所定の色とする場合について説明する。採用する表示色は、例えばカラー表示装置における赤(R)又は緑(G)又は青(B)のいずれかである。

【0116】図19は、パースシャル表示時に、背景領域をオフ表示以外の所定色を表示するためのタイミングコ

ントローラ400の構成例を示している。図20は、この図19の背景領域検出回路60の動作を概念的に説明している。図19において、上述の図4と同一部分には同一符号を付して説明を省略する。図4と相違する点は、図19のタイミングコントローラ400は、図4の構成に加え、パシシャル表示時の背景領域を検出し、その背景表示期間に所定の色のデジタル信号の出力を許可するための構成として、背景領域検出回路60、F/F61、アンドゲート62、63、64を備えることである。

【0117】背景領域検出回路60には、Vカウンタ34からのVカウント値（行カウント値）が供給され、また、図示しないCPUから図1のCPUインタフェース部106を介してパシシャル表示領域の境界位置情報（PTAIS）と、パシシャル表示領域がこの境界より上か下か（例えば上ならH、下ならL）を示す位置情報（PTAF）とが供給され、これらに基づき以下の背景領域検出信号（PTWH）を出力する。例えば位置情報PTAFが「H」であれば、境界位置（PTAIS）よりもパシシャル表示領域が上に位置することを意味する。よって、背景領域検出回路60は、Vカウント値が、上記PTAISの示すパシシャル表示領域の境界位置より上の行を示す期間は「L」、Vカウント値が境界位置より下の行を示す期間は「H」となる信号PTWHを出力する。また位置情報PTAFが「L」であれば、Vカウント値が境界位置（PTAIS）より上の行を示している期間は「H」、境界位置（PTAIS）より下の行を示している期間は「L」となる信号PTWHを出力する。

【0118】このように図19の背景領域検出回路60は、背景表示期間のみ「H」となる背景領域検出信号（PTWH）を出力する。例えば図20に示すように、背景領域が25行目から100行目までとすると、背景領域検出回路60は、Vカウント値が25になるまで「L」レベルで25～100の選択期間「H」となる信号PTWHを出力する。そして、以上のような信号PTWHは、F/F61を介して、R、G、Bのデジタル出力ラインに設けたアンドゲート62、63及び64の一方の入力端に供給される。

【0119】アンドゲート62、63及び64の他方の入力端には、例えば操作者又はCPUによって設定される背景色信号（R_PAR、G_PAR、B_PAR）が供給されている。従って、背景表示期間中に検出信号PTWHが「H」となると、このときアンドゲート62、63及び64に供給されている背景色表示信号がオアゲート55、56及び57を介し背景表示データとして出力される。

【0120】ここで、「白」は、R、G、B入力デジタルデータ（例えば6ビット）において、R、G、Bデータの全ビットが「H；1」で表されるのに対し、例えば単色の「青」は、R及びGが全ビット「L；0」、Bが

「H；1」で表される。従って、上記背景色として、例えば単色の「青」が設定されている場合、本実施形態ではR_PAR及びG_PARの全ビットが「L」で、B_PARの全ビット「H」であり、これが、パシシャル表示モードでの背景領域の表示データとして表示パネルに供給され、背景領域に単色の「青」が表示される。

【0121】また、このような所定背景表示色を採用した場合でも、図3に説明したように、パシシャル表示モードへの移行後の第1フレームでは、全画面白表示（オフ表示）を行い、その次の第2フレームよりパシシャル表示と任意の色の背景表示を実行することが好適である。さらに、パシシャル表示動作への移行第1フレームにおいて行う全画面表示は、上記全画面白色に限らず、全画面を所定の背景色としてもよい。例えば、この表示色は、上述のようにパシシャル表示動作時に背景色として設定される色と同色としてもよい。このように移行フレームの全画面表示色をパシシャル表示動作時の背景色と同色とすれば、パシシャル表示モードへ移行時に表示色の急激な変化を避けることができ、また、簡易な回路構成で移行第1フレームでの全画面表示色をオフ表示色以外とすることが可能となる。

【0122】なお、パシシャル表示モードへの移行後、CPUから、背景期間に所定色の背景表示データが供給される構成であれば、上記基本構成において説明した図4のような回路構成を変更することなく白以外の所定色の背景を表示することができる。

【0123】さらに、後述するように移行第1フレームにおいて、全画面白表示等の背景表示を行うのではなく、パシシャル表示と、背景全領域についての背景表示を行ってもよい。

【0124】ここで、以上に説明した背景表示色については、オン表示色（例えばノーマリホワイトの場合には、黒）や、その他任意の中間色に設定することも可能である。各画面に設けられるTFTのオフリーク電流により、背景領域について画素選択間隔が長くなると多少の色抜け、つまり色の変化が発生する可能性がある。しかし、本発明において背景領域は、特別な情報を表示することを目的としておらず、このような領域における多少の色変化は、表示品質の観点から許容範囲内に収まる場合もある。従って、このような場合に、背景領域を任意の色で表示可能な構成とすることで、操作者に希望する背景色を選択させることができる。

【0125】また、一方で、画素TFTでのオフリーク電流が十分小さければ、背景表示色を所定オン表示色や中間色に設定しても、色変化なく長期間その色を背景領域に表示していることができる。なお、R、G、Bのいずれかの単色での背景表示は、R、G、Bのいずれかは白表示と同一のオフ表示データ、残りの2色がオン表示データ、又はいずれか1色がオン表示データで残り2色がオフ表示データによって表現される。つまり、R、

G、Bいずれが単色の背景表示であれば、少なくとも1色は「オフ表示」と等しく、所望の中間色よりも、上述の各画素TFTでのオフリーク電流による色抜けの影響を受け難く、パシヤル表示モードにおける背景表示色の変化が小さい。

【0126】【背景領域先頭行】次に、図21を参照して、パシヤル表示モードでの背景表示の品質向上を図るための駆動方法について説明する。この方法においては、上述のように、パシヤル表示モードへの移行第1フレームで全画面オフ表示などの背景表示を行い、その後、パシヤル表示モードに移る。そして、上記移行第1フレームに続く第2フレームからは、任意の s 行 m 列マトリクスのパシヤル表示領域202に対してはパシヤル表示データを書き込み、上記パシヤル表示領域の最終行に続く背景領域先頭行204h($s+1$ 行目)と、 k 行 m 列マトリクス領域204wとはそれぞれに背景表示データを書き込む。つまり、背景領域204のうち、背景領域先頭行204hに対しては毎フレーム書き込みを行い、 k 行 m 列マトリクス領域204wについては、上述の説明と同様にフレーム毎に位置をシフトして書き込みを行うこととなり、 n 行 m 列マトリクスの内、パシヤル表示領域202と $s+1$ 行目領域204hとを除く背景領域の各画素は、 $(n-s-1)/k$ フレームに1回背景表示データが書き込まれる。

【0127】このような駆動方法を採用することにより、パシヤル表示領域202に続く背景領域204はその先頭行が1フレームに1回必ずオフ表示データなどの背景表示データが書き込まれることとなる。従って、複数フレーム期間おきにしか選択されない他の背景領域204が、パシヤル表示領域202の最終行に書き込んだデータの影を受けてクロストークのように表示されることを防止することができる。

【0128】次に、このような背景領域の先頭行204hに対して毎フレーム背景表示データを書き込むための具体的な動作について説明する。なお、以下の説明では、先頭行である $s+1$ 行目領域204hには背景表示データとしてオフ表示データを書き込み、この領域204hを除く他の背景領域204には、背景表示データとしてR、G、Bの単色表示など任意の色を表示する場合を例に挙げて任意の色を表示するものとする。この場合、上述の図19に示すタイミングコントローラ400において、マスク生成回路48及び背景領域検出回路60の設定を変更することで対応することができる。

【0129】即ち、これらの回路48及び回路60の構成は、上述の図20と同様であり、図22に示すように、コンパレータ1(481)及びコンパレータ2(482)及びコンパレータ3(60)に設定する値が変更されており(図20参照)、図23に示すような波形の(a)VMASK、(b)PTWHを作成している。

【0130】具体的には、例えばパシヤル表示領域2

02が n 行 m 列マトリクスの1行目~25行目までであるとする「25+1」をコンパレータ1及び2にそれぞれセットしている。このため、まず、コンパレータ2の出力は、Vカウンタ値(行数)が「25+1」以上になると「L」から「H」に変化する。そして、コンパレータ1は、フレームカウンタ47から供給されるFカウンタ値が「25+1」になったときのみ「H」、それ以外は「L」を出力する。従って、SPART信号がHでパシヤル表示モードの時は、オアゲート485から出力されるVMASK信号は、図23(a)に示すように、1フレーム期間中において、1行目から25+1行目までの期間と、(Fカウンタ値+25+1)行目の期間「H」レベルとなり、信号が「H」レベルとなる期間には、パネルに対して通常表示モードと同様に画素選択及び表示データ書き込みが行われる。また、図23の例では、表示データは、背景領域期間の25+1行目の到来時にはパシヤル表示データから背景表示データに切り替わっている。従って、「25+1」行目のタイミングで表示データの各画素への書き込みが許可されることとなり、パシヤル表示領域の最終行の選択・書き込みに続き、その次行に対する背景表示データの選択・書き込みが行われることとなる。

【0131】また、背景領域検出回路60(コンパレータ3)に対しては、境界位置の先頭値として「25+1」が設定され、終了値には「100」が設定されている。よって、パシヤル表示領域が背景境界位置より前にある場合(PTAF=1)、図23に示すようにVカウンタ値が「25+1」以上になると「H」レベルとなり、Vカウンタ値が「100以上」となると「L」レベルとなる背景検出信号(PTWH)が出力される。このPTWH信号は、図19に示すように背景色データ(RPAR, GPAR, BPAR)の各R、G、Bデータラインへの出力を制御しており、図23(b)のように背景期間のうち、パシヤル表示領域との境界先頭行領域204hに相当する期間を除いた期間「H」レベルとなり、背景色データの出力を許可している。

【0132】従って、背景領域204の中の k 行 m 列マトリクス領域204wの選択期間中には、操作者又はCPUによって指定される任意の背景色データがこの領域204wに書き込まれて表示される。もちろん、 k 行 m 列マトリクス領域204wに対してオフ表示データを書き込んでよく、この場合、図8に示すMASK生成回路48でのコンパレータ比較値を上記のようにパシヤル表示行数 s に対し「 $s+1$ 」を設定するだけで対応できる。

【0133】図24は、以上のような制御に対し、さらに上述の駆動方法4を適用した場合のタイミングチャートの一例を示しており、背景先頭行204hに対する制御を除き、上述の図14とほぼ同様の動作が行われている。図24において、駆動方法4及び図14に関して既

に説明したように、背景領域のうち、1フレーム期間中に選択されない行（ここでは「 $n-s-1$ 」行）の選択期間に相当する間には、1H期間の長さを制御するクロックの周波数を高めている。このようにクロックなどの周波数を高めることで、図5のVドライバ210内での各行選択パルスを高周波転送することが可能となる。従って、通常動作（ n 行駆動）の時よりも、より遅い周波数で各行（ s 行+1行+ k 行）を駆動することができ、動作周波数に消費電力の依存するデジタル処理系の回路での消費電力低減が可能となる。もちろん、1フレーム期間中に選択されない背景領域期間についてクロックの高周波転送を実行しない他の駆動方法1、2及び3を採用しても良い。

【0134】ここで、先頭行領域204hに書き込む背景表示データは、オフ表示データ（ノーマリホワイトの場合の白表示）の他、上述のようにカラー表示の場合のR、G、Bのいずれか、又は任意の色を採用することができる。但し、この背景表示データは、残りの背景領域204に書き込むデータと同一データを用いることで、先頭行領域204hだけが目立ってしまうという問題を防ぐことができる。

【0135】なお、 n 行 m 列画面内に複数のパースシャル表示領域202が設定される場合には、各パースシャル表示領域202の最終行の次行（204h）に対して毎フレーム背景表示データを書き込むことが好適である。また例えばパースシャル表示領域202が n 行 m 列マトリクスの中央や、後側（図21では画面下側）に位置する場合には、パースシャル表示領域202の先頭行の前行に対して毎フレーム背景表示データを書き込むこととすれば、パースシャル表示領域202よりも前の行に位置する背景領域204に対して、このパースシャル表示領域202の先頭行の表示データが重影響を及ぼすことを防止でき、背景領域の表示品質の一層の向上を図ることができる。以上のようにパースシャル表示領域202に隣接する行については、毎フレーム背景表示データを書き込むことで背景領域204の表示品質が向上する。

【0136】【パースシャル表示モードへの移行第1フレームの表示】次に、装置がパースシャル表示モードに切り替わった移行第1フレームにおいて、全画面背景表示ではなく、パースシャル及び背景表示を実行する場合の動作及び駆動回路の例について説明する。

【0137】上述の図3に示す動作では、パースシャル表示が命令されると、移行第1フレームでは、全画面背景表示を行い、次の第2フレームからパースシャル表示に移行している。これに対し、移行後第1フレームにおいて、パースシャル表示領域にパースシャル表示を行い、背景領域の全領域には背景表示を行うことにより、移行時に一瞬全画面が消えることがなく、スムーズにパースシャル表示に移行できる。

【0138】図25は、このようなモード移行動作を示

している。図1のI/F回路106が通常表示モードであると判断している場合、図3（a）のようにLCDパネル200は、全画面を用いて通常表示を行う（S1）。CPU等からパースシャル表示制御命令が送られてくると、図1のI/F回路106がこれを解析してパースシャル表示制御信号を発生し、パースシャル表示モードに切り替わる（S2）。

【0139】装置がパースシャル表示モードに切り替わると、図25（b）に示すようにパースシャル表示領域202にはパースシャル表示データを書き込み、また背景領域204の全領域に対し、オフ表示データや、設定した任意の色データなどの背景表示データを書き込む（S3）。

【0140】移行時の1フレームに、このようにパースシャル表示と、背景領域204の全領域への背景表示を行うことにより、上述のように一旦全画面が背景表示となることがなく、移行直後からパースシャル表示領域202に所望の表示を行うことができる。さらに、全画面に対してパースシャル表示データ又は背景表示データという有差のデータを書き込むことになるので、パースシャル表示に切り替わった際、複数フレームに1回しか選択されない背景領域において、通常表示時の表示が徐々に背景表示状態へ変化していくことを防ぐことができる。

【0141】図25（c）に示すように、移行第2フレーム以降は、既に説明したような各種パースシャル表示動作を採用することができる。即ち、図25（c）に示すように、1フレーム期間中に、 s 行 m 列マトリクスからなるパースシャル表示領域202と、背景領域204のうちの k 行 m 列マトリクス領域204wとを選択し、それぞれパースシャル表示及び背景表示を行う（S4）。

【0142】なお、パースシャル表示モードにおける背景領域204の駆動方法については上述のような方法1～4のいずれか又はそれらを組み合わせることができ、一例として図25（d）のステップS4に示すように、背景領域の k 行 m 列領域204w以外の非選択行についてはドライバの高周波転送を実行する等の駆動方法を採用することができる。また、さらに図21を参照して説明したように、パースシャル表示領域の最終行に隣接する背景先頭領域204hには、パースシャル表示領域と同様に毎フレーム選択し、ここに背景表示データを書き込む方法を採用することもできる。

【0143】図26は、以上のような移行動作を実行するタイミングコントローラ400の一例を示している。このタイミングコントローラ400において上述の図19に示す構成と同一部分には同一符号を付して説明を省略する。図19と相違する点は、デジタル表示データの出力制御部分の構成である。具体的には、図26のタイミングコントローラ400では、背景領域検出回路60からF/F61を介して出力される背景検出信号（PTW H）と、フラッシュ信号（FLASH）との論理値をとるアン

ドゲート65を備える。オアゲート55、56、57は、それぞれ3入力端を備え、第1入力端には、対応するR、G、Bデジタル信号が供給され、第2入力端には背景検出信号(PTRW)が供給され、残る第3入力端には、上記アンドゲート65からの出力が供給されている。

【0144】このような構成において、CPUなどからCPU1/F回路を介して供給されるパースシャル表示制御信号(PARTIAL)がHレベルとなると、F/F52及びF/F53及びアンドゲート54を経て出力されるフラッシュ信号(FLASH)は、次の1フレーム期間はHレベル、他の期間はLレベルとなる。また、背景検出信号(PTRW)は、背景領域期間Hレベルとなる。従って、アンドゲート65からは、パースシャル表示制御信号がHレベルとなった次のフレームの背景領域においてHレベルが出力され、R、G、Bデジタルデータの各ビットに対して發けられているオアゲート55、56及び57の出力は全てHレベルとなる。R、G、Bデジタル出力R#OUT、G#OUT、B#OUTの全ビットHレベルは、ここでは白表示(オフ表示)データを意味しており、この構成によりパースシャル表示制御信号がHレベルになった次の1フレームの背景期間には背景領域にオフ表示データが書き込まれる。

【0145】また、フラッシュ信号(FLASH)は、パースシャル表示制御信号がHレベルとなってから1フレーム期間が経過し、2フレーム目からは再びLレベルとなる。従って、2フレーム目以降においては、アンドゲート65の出力はLレベルを維持する。一方、背景検出信号(PTRW)は上述のように背景期間になるとHレベルとなるので、オアゲート55、56及び57からの出力は背景期間は、Hレベルに固定される。従って、パースシャル表示モードに移行して2フレーム目からは各背景表示期間中には表示データとしてここでは白表示データ(オフ表示データ)がデータラインに供給されていることとなる。

【0146】なお、パースシャル表示モードへの移行第1フレーム及び第2フレームにおいて背景領域に表示させるデータは、もちろん上記構成によって実現されるオフ表示データには限らず、上述のようにR、G、Bのいずれかの色データ又は任意の中間色データとしても良い。

【0147】また、パースシャル表示モードへ移行して第2フレーム以降におけるパースシャル表示は、上記駆動方法1~4のいずれか又はその組み合わせによって実行する事ができる。或いは、上述のようにパースシャル表示領域の最終行に続く背景領域先頭行(又はパースシャル表示領域の境界隣接行)において、毎フレーム選択して背景表示データを書き込む方法を採用しても良い。

【0148】

【発明の効果】以上説明したように、この発明においては、液晶表示パネル等の表示パネルの構成を変更するこ

となく任意の位置にパースシャル表示を行わせることができる。

【0149】また、背景領域に対しては、1フレーム期間中には1部のラインのみ選択し、他のラインは選択せず、その分動作クロックを低下させるなどの制御を行えば、パースシャル表示モードの際における表示装置、特にデジタル信号処理回路における消費電力を低減することができる。

【0150】さらに、本発明では、背景領域については、所定周期で全領域にオフ表示データなどの所定背景データを書き込む。このような背景領域は、通常表示領域と同様の周期でデータ書き込みを行わなくても、表示の劣化が目立たず、また、所定周期毎に背景表示データを書き込む際に液晶が反転駆動されるように表示データを反転させることで、液晶等の劣化を確実に防止することができる。

【0151】背景表示データとして特にオフ表示データを書き込むこととすれば、この背景領域では、通常表示時よりもデータ書き込み周期が長く設定されるが、それでも背景表示の経時変化は非常に小さく、表示品質の低下のほとんどない表示が可能となる。

【0152】また、背景表示データは、任意の色データとすることも可能であり、これにより装置使用者が好みの背景色を選ぶことを可能とする。

【図面の簡単な説明】

【図1】 本発明の実施形態に係る表示装置の構成を示す図である。

【図2】 本発明の実施形態に係る表示装置の表示種類を説明する概念図である。

【図3】 本発明の実施形態に係る表示モードの切替動作とその際の表示状態を示す図である。

【図4】 本発明の実施形態に係る駆動回路のタイミングコントローラ部における構成を示す図である。

【図5】 本発明の実施形態に係るLCDパネルのVドライバの構成を示す図である。

【図6】 図4の分周回路11の構成を示す図である。

【図7】 図4の1H幅制御回路19の構成を示す図である。

【図8】 図4のMASK生成回路48の構成を示す図である。

【図9】 本発明の実施形態に係る通常表示時の動作を示すタイミングチャートである。

【図10】 本発明の実施形態に係る白ラスタ表示時の動作を示すタイミングチャートである。

【図11】 本発明の実施形態に係る駆動方法1及び方法4を実行する場合のパースシャル表示時の動作を示すタイミングチャートである。

【図12】 本発明の実施形態に係る駆動方法1を実行する場合のパースシャル表示時の動作を示すタイミングチャートである。

【図13】 本発明の実施形態に係る駆動方法2を実行する場合のパーシャル表示時の動作を示すタイミングチャートである。

【図14】 本発明の実施形態に係る駆動方法2及び方法4を実行する場合のパーシャル表示時の動作を示すタイミングチャートである。

【図15】 本発明の実施形態に係る駆動方法3を実行する場合のパーシャル表示時の動作を示すタイミングチャートである。

【図16】 本発明の実施形態において用いられるプリチャージ波形を示す図である。

【図17】 本発明の実施形態において用いられるプリチャージドライバ230の構成を示す図である。

【図18】 本発明の実施形態に係る駆動方法3及び方法4を実行する場合のパーシャル表示時の動作を示すタイミングチャートである。

【図19】 本発明の実施形態に係る駆動回路のタイミングコントローラ部における構成を示す図である。

【図20】 本発明の図19に示す背景領域検出回路60の動作を説明する図である。

【図21】 本発明の実施形態に係る表示装置のパーシャル表示モードでの背景領域選択方法を説明する概念図である。

【図22】 図21に示す方法を実行するためにマスク生成回路48及び背景領域検出回路60に設定される閾

値とこれらの回路出力を示す図である。

【図23】 図21に示す方法を実行するためにマスク生成回路48及び背景領域検出回路60からの出力波形を説明する図である。

【図24】 図21に示す方法を採用した場合の動作例を示すタイミングチャートである。

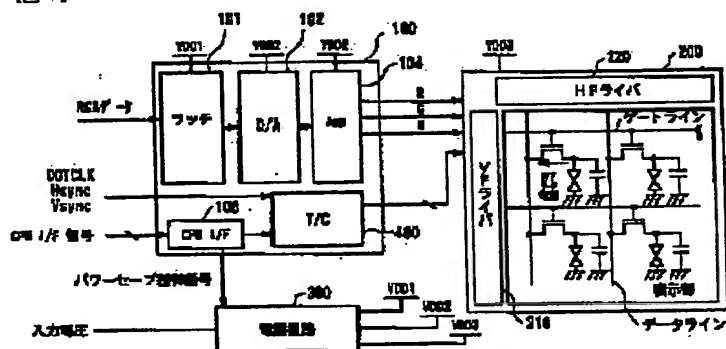
【図25】 本発明の実施形態に係る表示装置においてパーシャル表示への移行時からパーシャル及び背景表示を実行する手順の例を説明する図である。

【図26】 本発明の実施形態に係る表示装置においてパーシャル表示への移行時からパーシャル及び背景表示を実行するためのタイミングコントローラ部における構成例を示す図である。

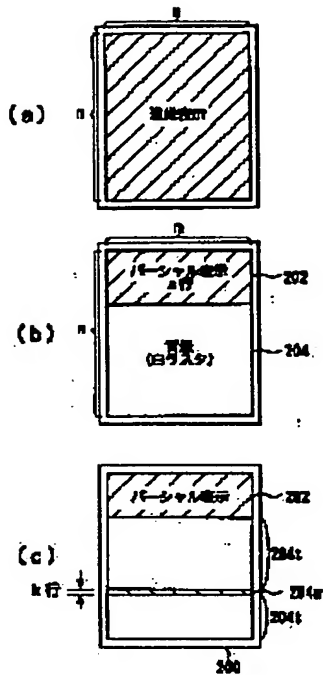
【符号の説明】

11 分周回路、12 Hカウンタ、13、14、15、16、17、18、35、36 デコーダ、19 1H駆動制御回路、34 Vカウンタ、47 フレームカウンタ、48 MASK生成回路、49 デコーダ（フレームカウンタリセット用）、52、53 F/F（モード切替タイミング制御部）、60 背景領域検出回路、100 駆動回路、200 表示パネル（LCDパネル）、210 Vドライバ、220 Hドライバ、230 プリチャージドライバ、400 T/C（タイミングコントローラ）。

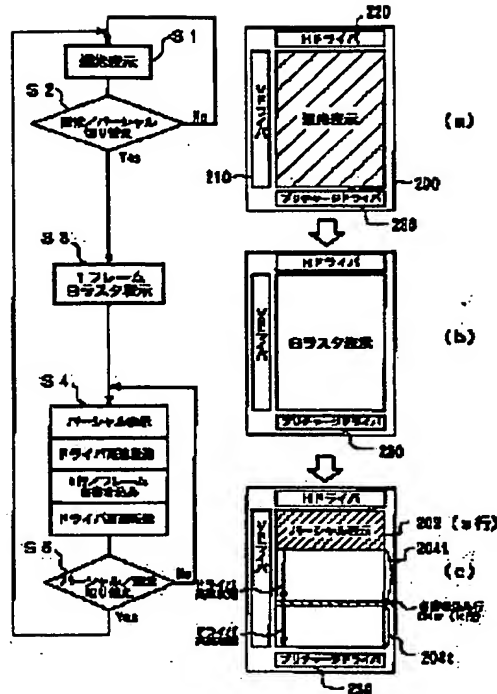
【図1】



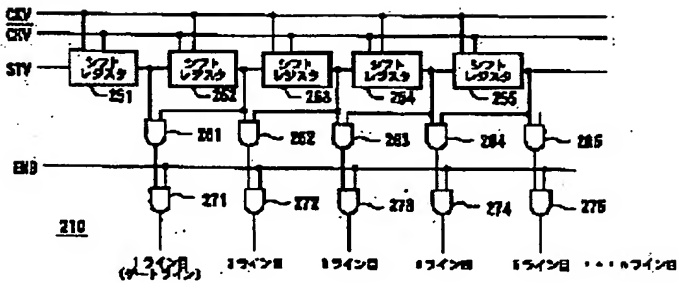
【図2】



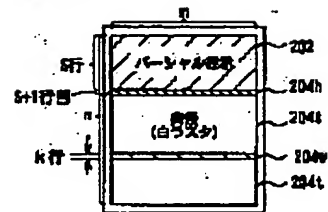
【図3】



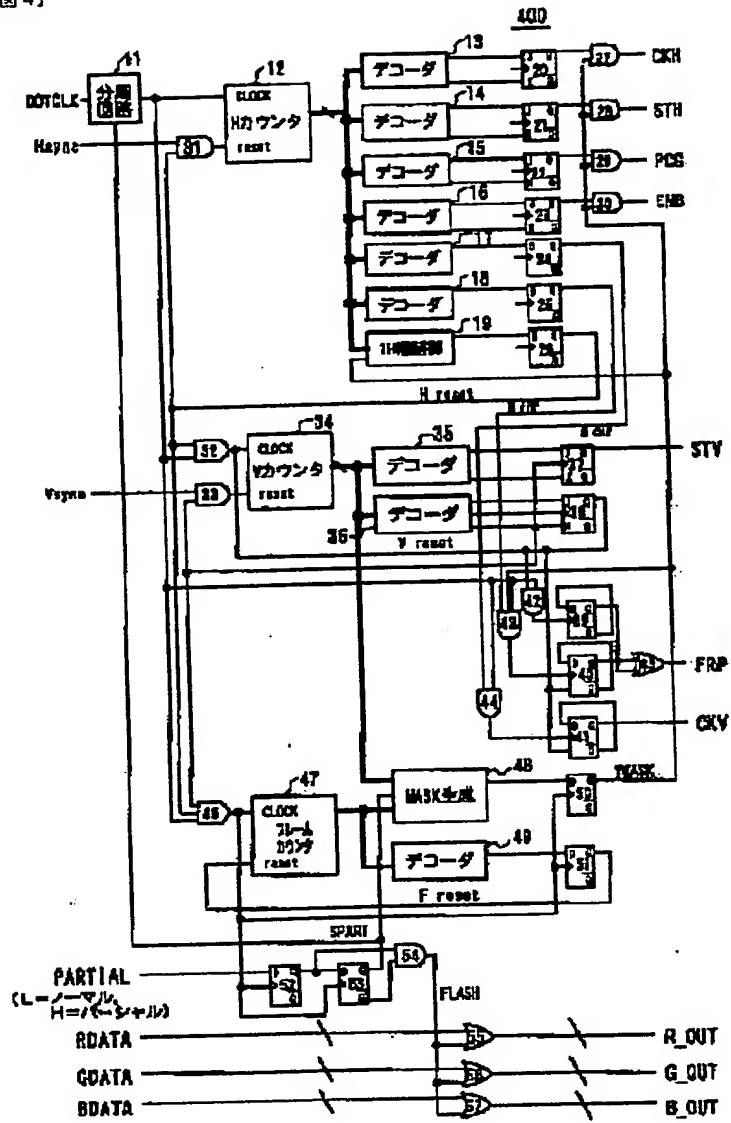
【図5】



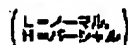
【図2'】



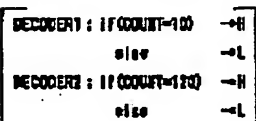
[図 4]



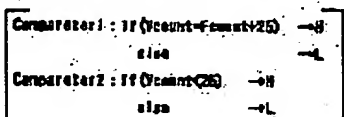
分類圖表 (4 分類圖表) 11



1. 科學與技術 19



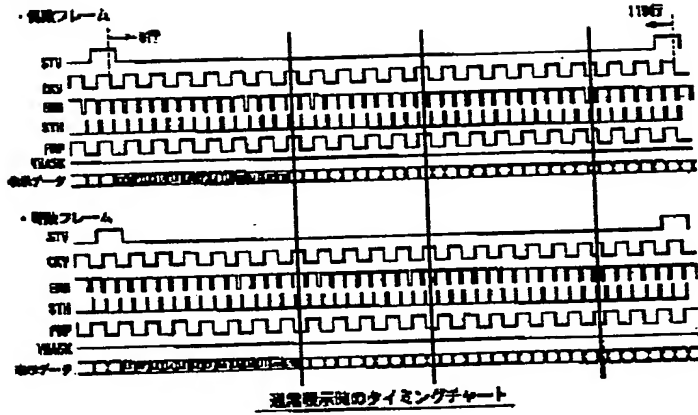
WASKEMAN 49



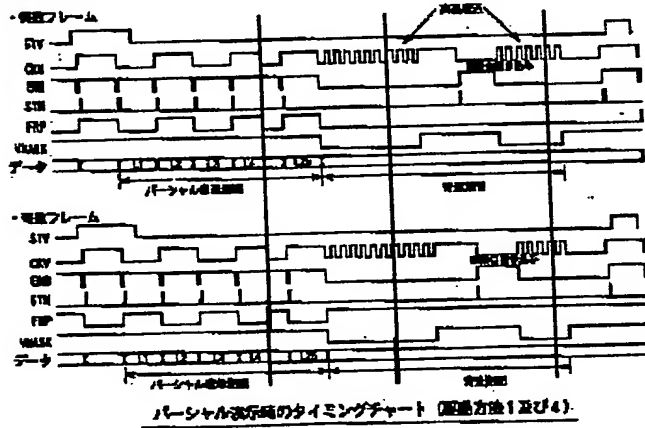
Timing diagram for the 74LS163 4-bit binary counter. The diagram shows the clock (CLK) and data (DATA) signals. The clock signal is a square wave. The data signal is a 4-bit binary value that changes at each clock edge. The data signal is labeled 'データ' and '74LS163'.

全開演表示時のタイミングチャート

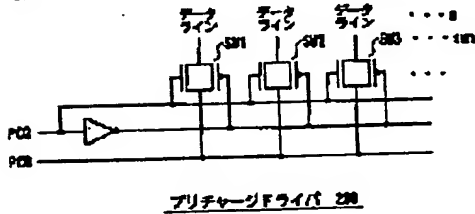
【図9】



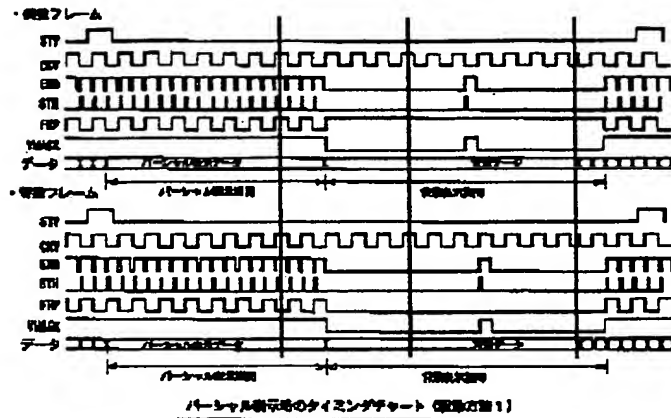
【図11】



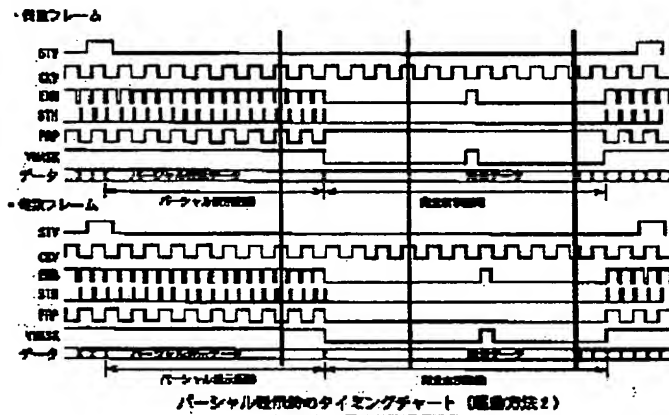
【図17】



【図12】



【図13】



【図22】

```

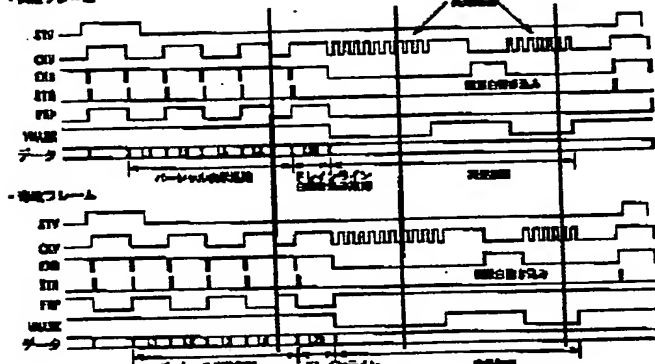
Comparator1: if (Ncount = (count + 25 + 1)) → High
              else → Low

Comparator2: if (Ncount (25 + 1)) → High
              else → Low

Comparator3: if (SP(AF = 1))
              if (Ncount < 25 + 1) → Low
              else → High
              else if (Ncount < 25) → High
              else → Low
    
```

【図14】

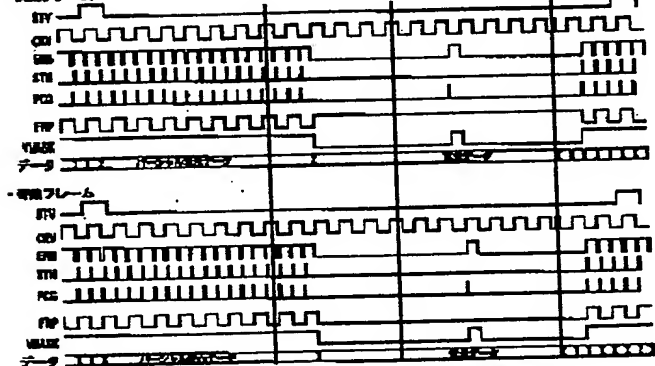
・映像フレーム



パースナル表示時のタイミングチャート (駆動方法2 及び4)

【図15】

・映像フレーム

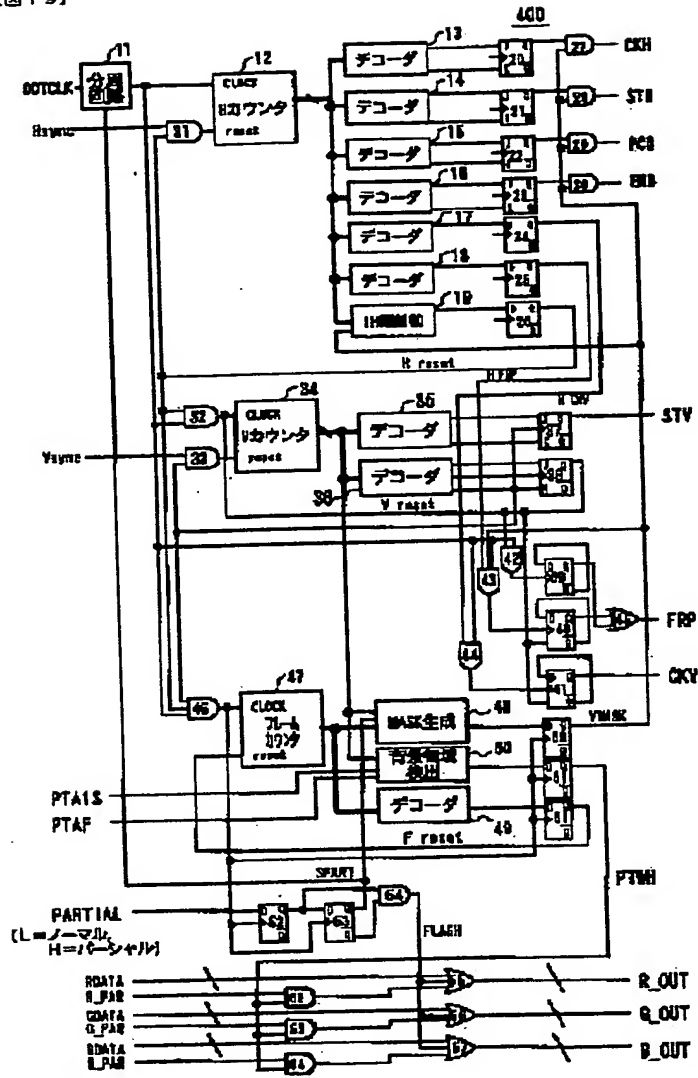


パースナル表示時のタイミングチャート (駆動方法1)

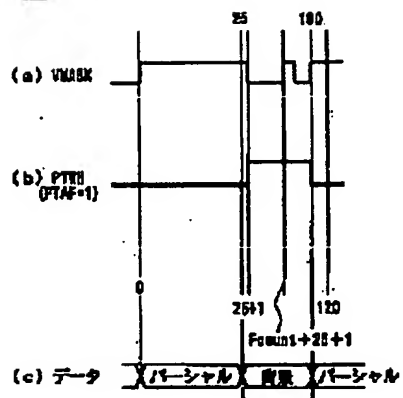
The diagram shows two sets of timing signals for the Parallel Display Method 2. Each set includes signals for STV, CH, CL, SH, PC, FP, and VIDEO. The top set is labeled '主フレーム' (Main Frame) and the bottom set is labeled 'サブフレーム' (Sub-frame). The signals are shown as waveforms over time, with a horizontal axis representing time. The top set of signals is for the main frame, and the bottom set is for the sub-frame. The signals are shown as waveforms over time, with a horizontal axis representing time. The top set of signals is for the main frame, and the bottom set is for the sub-frame.



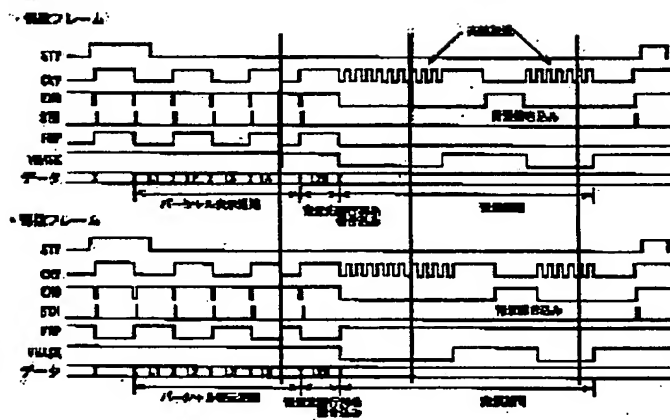
【図19】



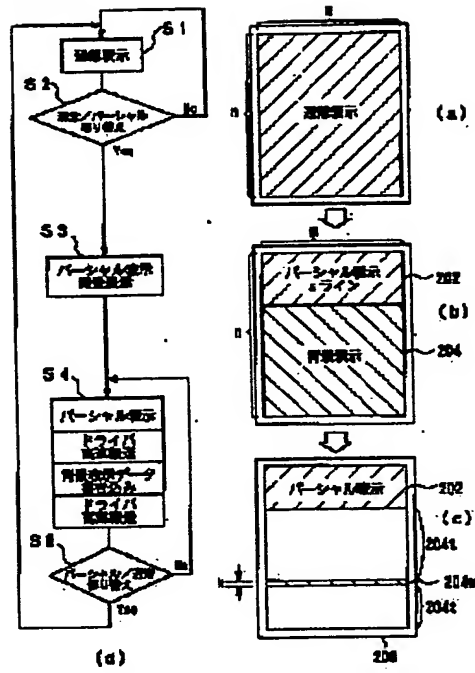
【図 23】

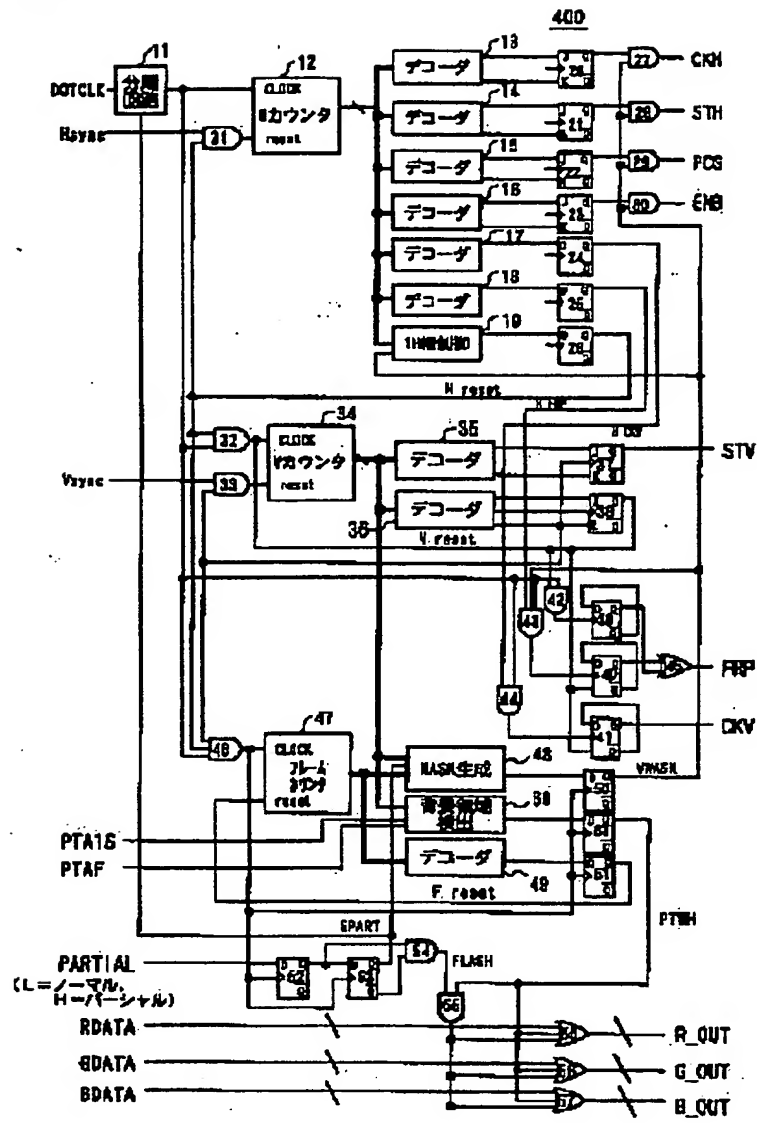


【図 24】



【図25】





フロントページの続き

(51)Int.Cl.7
G 0 9 G 3/20
識別記号
6 2 3
6 6 0

F I
G 0 9 G 3/20

テーマコート” (参考)

6 2 3 Y
6 6 0 Q

(72)発明者 小林 寛
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(72)発明者 上原 久夫
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(72)発明者 森岡 誠
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

F ターム(参考) 2H093 NA31 NC26 NC34 NC50 ND39
5C006 AC28 AF34 AF44 AF69 BB16
BC03 BC12 BC20 BF03 BF06
BF14 BF22 BF23 BF24 BF26
BF27 FA36 FA47
5C080 AA06 AA10 BB05 DD26 EE01
EE17 FF11 JJ01 JJ02 JJ04
KK07

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)